

Министерство науки и высшего образования РФ
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Национальный исследовательский университет «МЭИ»

Направление подготовки/специальность: 09.03.01 Информатика и вычислительная техника

Наименование образовательной программы: Вычислительные технологии

Уровень образования: высшее образование - бакалавриат

Форма обучения: Очная

Рабочая программа дисциплины
ФУНКЦИОНАЛЬНЫЕ УЗЛЫ И ПРОЦЕССОРЫ

Блок:	Блок 1 «Дисциплины (модули)»
Часть образовательной программы:	Часть, формируемая участниками образовательных отношений
№ дисциплины по учебному плану:	Б1.Ч.09
Трудоемкость в зачетных единицах:	6 семестр - 5;
Часов (всего) по учебному плану:	180 часов
Лекции	6 семестр - 28 часа;
Практические занятия	не предусмотрено учебным планом
Лабораторные работы	6 семестр - 28 часа;
Консультации	6 семестр - 14 часов;
Самостоятельная работа	6 семестр - 105,4 часов;
в том числе на КП/КР	6 семестр - 15,4 часов;
Иная контактная работа	6 семестр - 4 часа;
включая: Контрольная работа Лабораторная работа	
Промежуточная аттестация:	
Зачет с оценкой	6 семестр - 0,3 часа;
Защита курсовой работы	6 семестр - 0,3 часа;
	всего - 0,6 часа

Москва 2025

ПРОГРАММУ СОСТАВИЛ:

Преподаватель

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Ключников А.М.
	Идентификатор	R25ddb2e4-KliuchnikovAM-96662af

А.М.
Ключников

СОГЛАСОВАНО:

Руководитель
образовательной программы

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Андреева И.Н.
	Идентификатор	Rb5322c60-AndreevaIN-0472a135

И.Н. Андреева

Заведующий выпускающей
кафедрой

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Топорков В.В.
	Идентификатор	Rc76a6458-ToporkovVV-1f71a135

В.В. Топорков

1. ЦЕЛИ И ЗАДАЧИ ОСВОЕНИЯ ДИСЦИПЛИНЫ

Цель освоения дисциплины: изучения особенностей реализации функциональных узлов и процессоров на основе библиотечных элементов и программируемых логических интегральных схем, принципов организации взаимодействия между функциональными устройствами и процессорами.

Задачи дисциплины

- изучение особенностей синтеза функциональных узлов процессоров и ЭВМ;
- освоение принципов функционирования программируемых логических интегральных схем;
- овладение методами аппаратной реализации функциональных узлов и процессоров;
- изучение интерфейсов взаимодействия цифровых устройств и процессоров.

Формируемые у обучающегося **компетенции** и запланированные **результаты обучения** по дисциплине, соотнесенные с **индикаторами достижения компетенций**:

Код и наименование компетенции	Код и наименование индикатора достижения компетенции	Запланированные результаты обучения
ПК-2 Способен определять конфигурацию и технические характеристики оборудования, необходимые для установки программного продукта	ИД-1 _{ПК-2} Осуществляет разработку аппаратных и программных средств различного назначения в соответствии с техническим заданием	знать: - основные источники научно-технической информации по разработке функциональных узлов и процессоров. уметь: - ставить и решать схемотехнические задачи, связанные с выбором системы элементов при заданных требованиях к параметрам (временным, мощностным, габаритным, надёжностным).
ПК-2 Способен определять конфигурацию и технические характеристики оборудования, необходимые для установки программного продукта	ИД-4 _{ПК-2} Демонстрирует умение проверять техническое состояние вычислительного оборудования и осуществлять необходимые профилактические процедуры	знать: - технологию разработки функциональных узлов и процессоров. уметь: - участвовать в настройке и наладке программно-аппаратных комплексов.

2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОБРАЗОВАТЕЛЬНОЙ ПРОГРАММЫ ВО

Дисциплина относится к основной профессиональной образовательной программе Вычислительные технологии (далее – ОПОП), направления подготовки 09.03.01 Информатика и вычислительная техника, уровень образования: высшее образование - бакалавриат.

Требования к входным знаниям и умениям:

- знать основные функции алгебры-логики
- знать способы построения СДНФ и СКНФ
- знать принципы работы простых комбинационных схем (шифраторы, дешифраторы, сумматоры)
- уметь строить таблицы истинности для функций алгебры-логики
- уметь минимизировать функции алгебры-логики
- уметь строить комбинационные схемы в базисе И-НЕ, ИЛИ-НЕ

- уметь строить последовательностные схемы с использованием D, RS, T триггеров

Результаты обучения, полученные при освоении дисциплины, необходимы при выполнении выпускной квалификационной работы.

3. СТРУКТУРА И СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

3.1 Структура дисциплины

Общая трудоемкость дисциплины составляет 5 зачетных единиц, 180 часов.

№ п/п	Разделы/темы дисциплины/формы промежуточной аттестации	Всего часов на раздел	Семестр	Распределение трудоемкости раздела (в часах) по видам учебной работы										Содержание самостоятельной работы/ методические указания	
				Контактная работа								СР			
				Лек	Лаб	Пр	Консультация		ИКР		ПА	Работа в семестре	Подготовка к аттестации /контроль		
КПР	ГК	ИККП	ТК												
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
1	Технологический базис для создания функциональных узлов	16	6	4	4	-	-	-	-	-	-	8	-	<u>Самостоятельное изучение теоретического материала:</u> Изучение дополнительного материала по разделу Технологический базис для создания функциональных узлов для подготовки к контрольной и лабораторное работе <u>Изучение материалов литературных источников:</u> [2], стр. 5-9 [3], стр. 80-105 [8], стр. 3-44	
1.1	Технологический базис для создания функциональных узлов	16		4	4	-	-	-	-	-	-	8	-		
2	Программируемые логические интегральные схемы	26		6	-	-	-	-	-	-	-	-	20	-	<u>Самостоятельное изучение теоретического материала:</u> Изучение дополнительного материала по разделу Программируемые логические интегральные схемы для подготовки к контрольной и лабораторное работе <u>Изучение материалов литературных источников:</u> [3], стр. 422-527 [7], стр. 1-16
2.1	Программируемые логические интегральные схемы	26		6	-	-	-	-	-	-	-	-	20	-	
3	Последовательностны е функциональные узлы	28		4	8	-	-	-	-	-	-	-	16	-	
3.1	Последовательностны е функциональные узлы	28		4	8	-	-	-	-	-	-	-	16	-	<u>Самостоятельное изучение теоретического материала:</u> Изучение дополнительного материала по разделу Последовательностные функциональные узлы <u>Изучение материалов литературных источников:</u>

													<u>источников:</u> [2], стр. 2-14 [4], стр. 4-24 [5], стр. 76-83, 90-95	
	Зачет с оценкой	0.3		-	-	-	-	-	-	0.3	-	-		
	Курсовая работа (КР)	33.7		-	-	-	14	-	4	-	0.3	15.4	-	
	Всего за семестр	180.0		28	28	-	14	-	4	-	0.6	105.4	-	
	Итого за семестр	180.0		28	28	-	14		4		0.6	105.4		

Примечание: Лек – лекции; Лаб – лабораторные работы; Пр – практические занятия; КПр – аудиторные консультации по курсовым проектам/работам; ИККП – индивидуальные консультации по курсовым проектам/работам; ГК- групповые консультации по разделам дисциплины; СР – самостоятельная работа студента; ИКР – иная контактная работа; ТК – текущий контроль; ПА – промежуточная аттестация

3.2 Краткое содержание разделов

1. Технологический базис для создания функциональных узлов

1.1. Технологический базис для создания функциональных узлов

Особенности синтеза функциональных узлов на элементах различных технологических базисов: ТТЛ, ТТЛШ, КМДП. Параметры элементов: мощность, задержка, время предустановки и удержания, длительность фронтов, частота и длительность сигнала, помехоустойчивость. Особенности мощностных характеристик логических элементов при работе на высоких частотах. Особенности современных семейств логических элементов. Показатели качества логической схемы и способы их оценки. Разработка конкурентоспособных схем как основной принцип проектирования.

2. Программируемые логические интегральные схемы

2.1. Программируемые логические интегральные схемы

Классификация, физическая структура ПЛИС типа PAL. Реализация логических функций И, ИЛИ на МОП-транзисторах с плавающим затвором. Структура и параметры ПЛИС, используемой в лабораторных работах. Глобальные сигналы, примитивы триггеров, реализация других типов триггеров, защёлки.

3. Последовательностные функциональные узлы

3.1. Последовательностные функциональные узлы

Счетчики. Варианты схем переноса счетчиков в ПЛИС. Аппаратная реализация реверсивных счетчиков и счетчиков по произвольному основанию. Типовые варианты входов и выходов счетчиков, используемых в библиотеках САПР. Проектирование узлов на базе счетчиков. Регистровые блоки. Варианты схемной реализации буферов LIFO и FIFO. Построение счётчиков на ПЛИС. Временная модель ПЛИС типа PAL, расчёт быстродействия счётчика. Полиномиальные счетчики и принципы их проектирования. Аппаратная реализация генераторов псевдослучайных последовательностей. Оценки качества псевдослучайной последовательности. Схемы перемножения и деления полиномов в бинарных конечных полях. Области применения и особенности синтеза схем рассматриваемого класса. Автоматы. Типовые решения схемных проблем, возникающих при формализации задания и проектировании реальных схем цифровых автоматов в ПЛИС. Связь концепции цифровых автоматов с ранее изученными функциональными узлами.

4. Гонки сигналов и синхронизация работы цифровых узлов

4.1. Гонки сигналов и синхронизация работы цифровых узлов

Проблемы гонок в цифровых схемах и методы борьбы с ними. Однофазная, двухфазная и многофазная системы синхронизации. Свойства и области применимости систем синхронизации. Методика проектирования систем синхронизации. Схемы привязки асинхронных входных сигналов к тактовой сетке. Эквихронные зоны СБИС. Проблема самосинхронизации и принципы построения самосинхронизирующихся блоков. DS-кодирование при передаче сигнала.

5. Элементы управления, индикации и тактирования

5.1. Элементы управления, индикации и тактирования

Элементы управления: кнопки, тумблеры, клавиатура. Дребезг контактов и методы его устранения. Элементы индикации: одноцветные и двухцветные диоды, одноразрядные и

многозарядные семисегментные индикаторы, ЖКИ, кварцевые резонаторы и генераторы. Элементы задания тактовой частоты: кварцевые резонаторы и генераторы.

6. Аппаратная реализация процессора

6.1. Аппаратная реализация процессора

Структура типового арифметико-логического устройства процессора. Основные комбинационные схемы, регистры, связи. Микрооперация, микрокоманда, микропрограмма. Типовой диапазон значений основных параметров универсального АЛУ процессора. Способы построения схем ускоренного умножения и деления. Структуры схем быстрого выполнения операций с плавающей точкой. Методы проектирования схем, выполняющих параллельно различные фрагменты заданного алгоритма. Пределы распараллеливания алгоритма. Проектирование цифровых конвейерных структур, предел производительности конвейерной структуры. Роль буферов FIFO в конвейерных структурах. Аппаратная реализация блока управления процессором. Аппаратная реализация и особенности условных переходов в микропрограммах. Регистр возврата и стек возврата. Функционирование типового процессора. Регистр команды и счетчик команд. Типовой цикл выполнения команды. Конвейеризация процессора. Совмещение различных фаз выполнения команды. Аппаратная реализация основных способов адресации операндов процессора. Блок обработки адреса команды. Особенности схем RISC-процессоров.

7. Интерфейсы цифровых устройств и процессоров

7.1. Интерфейсы цифровых устройств и процессоров

Понятие порта и разновидности Интерфейса. Интерфейсы Точка-Точка, Шина/магистраль: однонаправленные, двунаправленные. Предустановка перед передачи, использование среды передачи, инициатор передачи, источник синхронизации. Проводные интерфейсы: однопроводное соединение Точка-Точка в электрических схемах. Разновидности схем ТТЛ. Последовательная и Параллельная синхронная однонаправленная передача с использованием одного и двух синхросигналов. Однонаправленная однопроводная связь нескольких источников к одному приёмнику. Двунаправленная однопроводная связь нескольких приемопередатчиков. Интерфейс DDR. Схемы приёмной и передающей части, удвоителя частоты. Магистраль. Типовая структура двунаправленной магистраль. Схемные компоненты абонентов магистраль, их особенности и основные параметры. Магистраль ISA промышленных микропроцессорных систем как пример типовой системной магистраль. Интерфейс IDE, Parallel ATA, Serial ATA (структура кабеля, скорость передачи, тип сигнала, схема линии передачи). Последовательная асинхронная однонаправленная передача (на примере порта UART). Контроль передачи, управление скоростью потока. Последовательная асинхронная двунаправленная передача (на примере порта COM-порта ПК (RS-232)). Параметры порта, задаваемые в настройках, и их влияние на временную диаграмму сигналов интерфейса. Передача одного сигнала по двум проводам. Гальванически связанные приемник/передатчик, трансформаторная развязка, оптическая развязка. Структура и принципы работы и управления параллельным принтерным портом LPT. Структура и принципы работы и управления последовательным портом RS-232, установление связи, передача данных, программное и аппаратное управление потоком. Интерфейс USB: назначение, технические характеристики разных версий, структура кабеля, типы разъёмов. Примеры микросхем с USB-интерфейсом. Архитектура USB-интерфейса. Функции и назначение контроллера, концентратора. Протокол обмена по USB-интерфейсу, типы пакетов. Код передачи NRZI. Обнаружение ошибок передачи по USB-интерфейсу.

3.3. Темы практических занятий не предусмотрено

3.4. Темы лабораторных работ

1. Реализация сдвиговых регистров на ИС;
2. Изучение основ проектирования функциональных узлов с использованием САПР;
3. Реализация счётчиков на ИС;
4. Реализация в ПЛИС двоичных счётчиков стандартных импульсов;
5. Реализация управляющего автомата на ИС;
6. Реализация в ПЛИС двоичных счётчиков числа нажатий кнопки и устранениедребезга контактов.

3.5 Консультации

Аудиторные консультации по курсовому проекту/работе (КПР)

1. Консультации направлены на выполнение разделов курсового проекта под руководством наставника (преподавателя). В рамках часов на групповые консультации разбираются наиболее важные части расчетных заданий раздела "Технологический базис для создания функциональных узлов"
2. Консультации направлены на выполнение разделов курсового проекта под руководством наставника (преподавателя). В рамках часов на групповые консультации разбираются наиболее важные части расчетных заданий раздела "Программируемые логические интегральные схемы"
3. Консультации направлены на выполнение разделов курсового проекта под руководством наставника (преподавателя). В рамках часов на групповые консультации разбираются наиболее важные части расчетных заданий раздела "Последовательностные функциональные узлы"
4. Консультации направлены на выполнение разделов курсового проекта под руководством наставника (преподавателя). В рамках часов на групповые консультации разбираются наиболее важные части расчетных заданий раздела "Гонки сигналов и синхронизация работы цифровых узлов"
5. Консультации направлены на выполнение разделов курсового проекта под руководством наставника (преподавателя). В рамках часов на групповые консультации разбираются наиболее важные части расчетных заданий раздела "Элементы управления, индикации и тактирования"
6. Консультации направлены на выполнение разделов курсового проекта под руководством наставника (преподавателя). В рамках часов на групповые консультации разбираются наиболее важные части расчетных заданий раздела "Аппаратная реализация процессора"
7. Консультации направлены на выполнение разделов курсового проекта под руководством наставника (преподавателя). В рамках часов на групповые консультации разбираются наиболее важные части расчетных заданий раздела "Интерфейсы цифровых устройств и процессоров"

Индивидуальные консультации по курсовому проекту /работе (ИККП)

1. Консультации проводятся по разделу "Технологический базис для создания функциональных узлов"
2. Консультации проводятся по разделу "Программируемые логические интегральные схемы"
3. Консультации проводятся по разделу "Последовательностные функциональные узлы"

4. Консультации проводятся по разделу "Гонки сигналов и синхронизация работы цифровых узлов"
5. Консультации проводятся по разделу "Элементы управления, индикации и тактирования"
6. Консультации проводятся по разделу "Аппаратная реализация процессора"
7. Консультации проводятся по разделу "Интерфейсы цифровых устройств и процессоров"

Текущий контроль (ТК)

1. Консультации направлены на получение индивидуального задания для выполнения контрольных мероприятий по разделу "Технологический базис для создания функциональных узлов"
2. Консультации направлены на получение индивидуального задания для выполнения контрольных мероприятий по разделу "Программируемые логические интегральные схемы"
3. Консультации направлены на получение индивидуального задания для выполнения контрольных мероприятий по разделу "Последовательностные функциональные узлы"
4. Консультации направлены на получение индивидуального задания для выполнения контрольных мероприятий по разделу "Гонки сигналов и синхронизация работы цифровых узлов"
5. Консультации направлены на получение индивидуального задания для выполнения контрольных мероприятий по разделу "Элементы управления, индикации и тактирования"
6. Консультации направлены на получение индивидуального задания для выполнения контрольных мероприятий по разделу "Аппаратная реализация процессора"
7. Консультации направлены на получение индивидуального задания для выполнения контрольных мероприятий по разделу "Интерфейсы цифровых устройств и процессоров"

3.6 Тематика курсовых проектов/курсовых работ

6 Семестр

Курсовая работа (КР)

Темы:

- Разработка схемы арифметико-логического устройства с заданными характеристиками (серия элементов, тип сумматора, разрядность, максимальное время задержки, вид дополнительной операции)

График выполнения курсового проекта

Неделя	1 - 6	7 - 12	Зачетная
Раздел курсового проекта	1, 2	3, 4	Защита курсового проекта
Объем раздела, %	50	50	-
Выполненный объем нарастающим итогом, %	50	100	-

Номер раздела	Раздел курсового проекта
1	Разработка структурной схемы устройства
2	Выбор типа сумматора и разработка схмотехнического решения

3	Разработка комбинационной схемы
4	Оценка временных и аппаратных затрат

3.7. Соответствие разделов дисциплины и формируемых в них компетенций

Запланированные результаты обучения по дисциплине (в соответствии с разделом 1)	Коды индикаторов	Номер раздела дисциплины (в соответствии с п.3.1)							Оценочное средство (тип и наименование)	
		1	2	3	4	5	6	7		
Знать:										
основные источники научно-технической информации по разработке функциональных узлов и процессоров	ИД-1ПК-2	+	+						Контрольная работа/Контрольная работа «Технологический базис. Программируемые логические интегральные схемы»	
технологии разработки функциональных узлов и процессоров	ИД-4ПК-2			+					Лабораторная работа/Защита комплекса лабораторных работ «Последовательностные функциональные узлы» Контрольная работа/Контрольная работа «Последовательностные функциональные узлы»	
Уметь:										
ставить и решать схемотехнические задачи, связанные с выбором системы элементов при заданных требованиях к параметрам (временным, мощностным, габаритным, надёжностным)	ИД-1ПК-2				+		+		Контрольная работа/Контрольная работа «Аппаратная реализация процессора. Гонки сигналов. Синхронизация»	
участвовать в настройке и наладке программно-аппаратных комплексов	ИД-4ПК-2					+		+	Лабораторная работа/Защита комплекса лабораторных работ «Последовательностные функциональные узлы»	

4. КОМПЕТЕНТНОСТНО-ОРИЕНТИРОВАННЫЕ ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ КОНТРОЛЯ ОСВОЕНИЯ РЕЗУЛЬТАТОВ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ (ТЕКУЩИЙ КОНТРОЛЬ УСПЕВАЕМОСТИ, ПРОМЕЖУТОЧНАЯ АТТЕСТАЦИЯ ПО ДИСЦИПЛИНЕ)

4.1. Текущий контроль успеваемости

6 семестр

Форма реализации: Защита задания

1. Защита комплекса лабораторных работ «Последовательностные функциональные узлы» (Лабораторная работа)

Форма реализации: Письменная работа

1. Контрольная работа «Аппаратная реализация процессора. Гонки сигналов. Синхронизация» (Контрольная работа)
2. Контрольная работа «Последовательностные функциональные узлы» (Контрольная работа)
3. Контрольная работа «Технологический базис. Программируемые логические интегральные схемы» (Контрольная работа)

Балльно-рейтинговая структура дисциплины является приложением А.

Балльно-рейтинговая структура курсовой работы является приложением Б.

4.2 Промежуточная аттестация по дисциплине

Зачет с оценкой (Семестр №6)

Зачет выставляется по совокупности

Курсовая работа (КР) (Семестр №6)

Оценка выставляется по совокупности.

В диплом выставляется оценка за 6 семестр.

Примечание: Оценочные материалы по дисциплине приведены в фонде оценочных материалов ОПОП.

5. УЧЕБНО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

5.1 Печатные и электронные издания:

1. Потемкин, И. С. Функциональные узлы цифровой автоматики / И. С. Потемкин. – М. : Энергоатомиздат, 1988. – 320 с. – ISBN 5-283-01478-9.;
2. Угрюмов, Е. П. Цифровая схемотехника : учебное пособие для студентов направлений 654600 и 552800 "Информатика и вычислительная техника" специальность 220100 "Вычислительные машины, комплексы, системы и сети" / Е. П. Угрюмов. – СПб. : БХВ-Петербург, 2001. – 528 с. – ISBN 5-8206-0100-9.;
3. Харрис, Дэвид М. Цифровая схемотехника и архитектура компьютера = Digital Design and Computer Architecture : [цветное издание] : пер. с англ. / Дэвид М. Харрис, Сара Л. Харрис. – 2-е изд., испр. – Москва : ДМК Пресс, 2018. – 792 с. – ISBN 978-5-97060-570-7.;
4. Белоощик, Н. С. Интерфейсные устройства ЭВМ : методическое пособие по курсу "Интерфейсы периферийных устройств" по направлению "Информатика и вычислительная техника" / Н. С. Белоощик, Моск. энерг. ин-т (МЭИ ТУ). – М. : Изд-во МЭИ, 2006. – 24 с.;
5. Лапин, А. А. Интерфейсы. Выбор и реализация / А. А. Лапин. – М. : Техносфера, 2005. – 168 с. – (Мир электроники). – ISBN 5-948360-58-X.;

6. Таненбаум, Э. Архитектура компьютера : пер. с англ. / Э. Таненбаум . – 5-е изд. – СПб. : Питер, 2011 . – 844 с. + CD-ROM . – (Классика computer science) . - ISBN 978-5-469-01274-0 .;
7. Матюшин, О. Т. Проектирование цифровых устройств на ПЛИС : Методическое пособие по курсу "Цифровые устройства и микропроцессоры" / О. Т. Матюшин. – М. : Изд-во МЭИ, 1999. – 16 с.;
8. Логинов, В. А. Комбинационные схемы : лабораторный практикум по курсу "Схемотехника" по направлению "Информатика и вычислительная техника" / В. А. Логинов, И. Е. Лешихина, Нац. исслед. ун-т "МЭИ". – М. : Изд-во МЭИ, 2017. – 44 с.
<http://elibrary.mpei.ru/elibrary/view.php?id=8931>;
9. Логинов, В. А. Схемы на базе триггеров : лабораторный практикум по курсу "Схемотехника" по направлению 09.03.01 "Информатика и вычислительная техника" / В. А. Логинов, И. Е. Лешихина, Нац. исслед. ун-т "МЭИ". – М. : Изд-во МЭИ, 2017. – 48 с. – ISBN 978-5-7046-1859-1.
<http://elibrary.mpei.ru/elibrary/view.php?id=9508>;
10. Новиков Ю. В.- "Введение в цифровую схемотехнику", (2-е изд.), Издательство: "ИНТУИТ", Москва, 2016 - (392 с.)
<https://e.lanbook.com/book/100676>.

5.2 Лицензионное и свободно распространяемое программное обеспечение:

1. СДО "Прометей";
2. Office / Российский пакет офисных программ;
3. Windows / Операционная система семейства Linux;
4. Видеоконференции (Майнд, Сберджаз, ВК и др).

5.3 Интернет-ресурсы, включая профессиональные базы данных и информационно-справочные системы:

1. ЭБС Лань - <https://e.lanbook.com/>
2. Научная электронная библиотека - <https://elibrary.ru/>
3. База данных Web of Science - <http://webofscience.com/>
4. База данных Scopus - <http://www.scopus.com>
5. Портал открытых данных Российской Федерации - <https://data.gov.ru>
6. База открытых данных Министерства труда и социальной защиты РФ - <https://rosmintrud.ru/opendata>
7. База открытых данных профессиональных стандартов Министерства труда и социальной защиты РФ - <http://profstandart.rosmintrud.ru/obshchiy-informatsionnyy-blok/natsionalnyy-reestr-professionalnykh-standartov/>
8. База открытых данных Росфинмониторинга - <http://www.fedsfm.ru/opendata>
9. Электронная открытая база данных "Polpred.com Обзор СМИ" - <https://www.polpred.com>

6. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

Тип помещения	Номер аудитории, наименование	Оснащение
Учебные аудитории для проведения лекционных занятий и текущего контроля	Ж-120, Машинный зал ИВЦ	сервер, кондиционер
	3-401/9, Учебная аудитория каф. "ТОЭ"	трибуна, доска меловая, мультимедийный проектор, экран
Учебные аудитории для проведения практических занятий, КР и КП	Ж-120, Машинный зал ИВЦ	сервер, кондиционер
	3-505, Лекционная аудитория каф. ВМСС	парта, стол преподавателя, стул, мультимедийный проектор, доска

		маркерная, компьютер персональный, мел, маркер, стилус
Учебные аудитории для проведения лабораторных занятий	Ж-120, Машинный зал ИВЦ	сервер, кондиционер
	3-305а, учебно-исследовательская лаборатория электротехники каф. ВМСС	стол преподавателя, стул, компьютерная сеть с выходом в Интернет, мультимедийный проектор, экран, доска маркерная, лабораторный стенд, сервер, компьютер персональный, инвентарь специализированный
	3-505, Лекционная аудитория каф. ВМСС	парта, стол преподавателя, стул, мультимедийный проектор, доска маркерная, компьютер персональный, мел, маркер, стилус
Учебные аудитории для проведения промежуточной аттестации	Ж-120, Машинный зал ИВЦ	сервер, кондиционер
	Д-423, Учебная аудитория	парта со скамьей, стол преподавателя, стул, доска меловая
Помещения для самостоятельной работы	НТБ-303, Лекционная аудитория	стол компьютерный, стул, стол письменный, вешалка для одежды, компьютерная сеть с выходом в Интернет, компьютер персональный, принтер, кондиционер
Помещения для консультирования	3-505, Лекционная аудитория каф. ВМСС	парта, стол преподавателя, стул, мультимедийный проектор, доска маркерная, компьютер персональный, мел, маркер, стилус
Помещения для хранения оборудования и учебного инвентаря	Е-403, Склад	стол для работы с документами, шкаф, шкаф для документов, книги, учебники, пособия, дипломные и курсовые работы студентов

БАЛЛЬНО-РЕЙТИНГОВАЯ СТРУКТУРА ДИСЦИПЛИНЫ

Функциональные узлы и процессоры

(название дисциплины)

6 семестр

Перечень контрольных мероприятий текущего контроля успеваемости по дисциплине:

- КМ-1 Контрольная работа «Технологический базис. Программируемые логические интегральные схемы» (Контрольная работа)
- КМ-2 Контрольная работа «Последовательностные функциональные узлы» (Контрольная работа)
- КМ-3 Контрольная работа «Аппаратная реализация процессора. Гонки сигналов. Синхронизация» (Контрольная работа)
- КМ-4 Защита комплекса лабораторных работ «Последовательностные функциональные узлы» (Лабораторная работа)

Вид промежуточной аттестации – Зачет с оценкой.

Номер раздела	Раздел дисциплины	Индекс КМ:	КМ-1	КМ-2	КМ-3	КМ-4
		Неделя КМ:	4	8	12	14
1	Технологический базис для создания функциональных узлов					
1.1	Технологический базис для создания функциональных узлов		+			
2	Программируемые логические интегральные схемы					
2.1	Программируемые логические интегральные схемы		+			
3	Последовательностные функциональные узлы					
3.1	Последовательностные функциональные узлы			+		+
4	Гонки сигналов и синхронизация работы цифровых узлов					
4.1	Гонки сигналов и синхронизация работы цифровых узлов				+	
5	Элементы управления, индикации и тактирования					
5.1	Элементы управления, индикации и тактирования					+
6	Аппаратная реализация процессора					
6.1	Аппаратная реализация процессора				+	
7	Интерфейсы цифровых устройств и процессоров					

7.1	Интерфейсы цифровых устройств и процессоров				+
Вес КМ, %:		20	20	30	30

БАЛЛЬНО-РЕЙТИНГОВАЯ СТРУКТУРА КУРСОВОГО ПРОЕКТА/РАБОТЫ ПО ДИСЦИПЛИНЕ

Функциональные узлы и процессоры

(название дисциплины)

6 семестр

Перечень контрольных мероприятий текущего контроля успеваемости по курсовой работе:

КМ-1 Оценка выполнения раздела «Разработка функциональной схемы сумматора»

КМ-2 Оценка выполнения раздела «Расчёт временных характеристик и аппаратных затрат АЛУ»

Вид промежуточной аттестации – защита КР.

Номер раздела	Раздел курсового проекта/курсовой работы	Индекс КМ:	КМ-1	КМ-2
		Неделя КМ:	6	12
1	Разработка структурной схемы устройства		+	
2	Выбор типа сумматора и разработка схемотехнического решения		+	
3	Разработка комбинационной схемы			+
4	Оценка временных и аппаратных затрат			+
Вес КМ, %:			50	50