

**Министерство науки и высшего образования РФ
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Национальный исследовательский университет «МЭИ»**

Направление подготовки/специальность: 09.03.01 Информатика и вычислительная техника

Наименование образовательной программы: Системы автоматизированного проектирования

Уровень образования: высшее образование - бакалавриат

Форма обучения: Очная

**Оценочные материалы
по дисциплине
Моделирование схем дискретных устройств**

**Москва
2022**

ОЦЕНОЧНЫЕ МАТЕРИАЛЫ РАЗРАБОТАЛ:

Преподаватель
(должность)

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Ключников А.М.
	Идентификатор	R25ddb2e4-KliuchnikovAM-96662af

(подпись)

А.М.
Ключников
(расшифровка
подписи)

СОГЛАСОВАНО:

Руководитель
образовательной
программы

(должность, ученая степень, ученое
звание)

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Андреева И.Н.
	Идентификатор	Rb5322c60-AndreevaIN-0472a135

(подпись)

И.Н.
Андреева
(расшифровка
подписи)

Заведующий
выпускающей кафедры

(должность, ученая степень, ученое
звание)

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Топорков В.В.
	Идентификатор	Rc76a6458-ToporkovVV-1f71a135

(подпись)

В.В.
Топорков
(расшифровка
подписи)

ОБЩАЯ ЧАСТЬ

Оценочные материалы по дисциплине предназначены для оценки: достижения обучающимися запланированных результатов обучения по дисциплине, этапа формирования запланированных компетенций и уровня освоения дисциплины.

Оценочные материалы по дисциплине включают оценочные средства для проведения мероприятий текущего контроля успеваемости и промежуточной аттестации.

Формируемые у обучающегося компетенции:

1. ПК-3 Способен обосновывать принимаемые решения по разработке и проектированию программного и аппаратного обеспечения

ИД-1 Выполняет математическое и имитационное моделирование процессов и объектов на базе стандартных систем автоматизированного проектирования

ИД-5 Демонстрирует знание методов анализа и синтеза линейных и нелинейных электрических, электронных, цифровых систем

и включает:

для текущего контроля успеваемости:

Форма реализации: Защита задания

1. «Изучение принципов построения программ поведенческих моделей» (Лабораторная работа)

2. Изучение принципов построения программ моделей (Лабораторная работа)

Форма реализации: Письменная работа

1. моделирование схем дискретных процессов (Контрольная работа)

2. Построение элементов памяти и цифровых узлов (Контрольная работа)

БРС дисциплины

5 семестр

Раздел дисциплины	Веса контрольных мероприятий, %				
	Индекс КМ:	КМ-1	КМ-2	КМ-3	КМ-4
	Срок КМ:	4	8	12	15
Этапы проектирования электронной вычислительной аппаратуры и задачи моделирования					
Задачи и основные концепции моделирования дискретных систем. Термины и определения	+				
Математические основы и классификация методов моделирования ЭВА					
Классификация методов и алгоритмов моделирования аппаратных средств ДС	+				
Основные принципы VHDL – языка описания и моделирования ЭВА					
Основные принципы VHDL как языка описания и моделирования аппаратуры ДС				+	
Принципы моделирования и три формы VHDL-описаний: потоковая, процессная, структурная					

Принципы моделирования и 3 формы VHDL-описаний: потокосная, процессная, структурная				+
Средства языка VHDL для описания и моделирования логических комбинационных схем и элементов памяти				
Средства языка VHDL для описания и моделирования логических комбинационных схем и элементов памяти		+		
Особенности описания и моделирования на уровне регистров и интегральных микросхем на VHDL				
Особенности описания и моделирования на уровне регистров и интегральных микросхем на VHDL				+
Пакеты программ для многоуровневого представления сигналов и моделирования схем с учетом технологии их изготовления				
Пакеты программ для многоуровневого представления сигналов и моделирования схем с учетом технологии их изготовления			+	
Вес КМ:	20	20	20	40

\$Общая часть/Для промежуточной аттестации\$

СОДЕРЖАНИЕ ОЦЕНОЧНЫХ СРЕДСТВ ТЕКУЩЕГО КОНТРОЛЯ

I. Оценочные средства для оценки запланированных результатов обучения по дисциплине, соотнесенных с индикаторами достижения компетенций

Индекс компетенции	Индикатор	Запланированные результаты обучения по дисциплине	Контрольная точка
ПК-3	ИД-1 _{ПК-3} Выполняет математическое и имитационное моделирование процессов и объектов на базе стандартных систем автоматизированного проектирования	Знать: методику и языки описания работы цифровой аппаратуры на уровне микросхем Уметь: использовать современные методы и технологии разработки и исследования моделей схем дискретных устройств (ДС) на уровне интегральных микросхем и БИС	«Изучение принципов построения программ поведенческих моделей» (Лабораторная работа) Построение элементов памяти и цифровых узлов (Контрольная работа)
ПК-3	ИД-5 _{ПК-3} Демонстрирует знание методов анализа и синтеза линейных и нелинейных электрических, электронных, цифровых систем	Знать: программные средства имитационного моделирования процессов в дискретных схемах цифровой аппаратуры Уметь: выполнять математическое и имитационное моделирование процессов и объектов на базе стандартных систем	Изучение принципов построения программ моделей (Лабораторная работа) моделирование схем дискретных процессов (Контрольная работа)

		автоматизированного проектирования и, в частности, применять модели типовых схем для включения в качестве компонент проектируемых систем в зависимости от условий, формулируемых заказчиком работы	
--	--	--	--

II. Содержание оценочных средств. Шкала и критерии оценивания

КМ-1. «Изучение принципов построения программ поведенческих моделей»

Формы реализации: Защита задания

Тип контрольного мероприятия: Лабораторная работа

Вес контрольного мероприятия в БРС: 20

Процедура проведения контрольного мероприятия: Домашняя подготовка и выполнение лабораторной работы. Демонстрация разработанных проектов и ответы на вопросы преподавателя.

Краткое содержание задания:

«Изучение принципов построения программ поведенческих моделей (поточковой и процессных форм) на языке VHDL»

Контрольные вопросы/задания:

Знать: методику и языки описания работы цифровой аппаратуры на уровне микросхем	1. Чем отличаются две формы поведенческой модели: процессная и потоковая? 2. Какими средствами языка VHDL реализуется принцип событийного моделирования?
---	---

Описание шкалы оценивания:

Оценка: 5

Нижний порог выполнения задания в процентах: 90

Описание характеристики выполнения знания: Оценка "отлично" выставляется если задание выполнено в полном объеме или выполнено преимущественно верно

Оценка: 4

Нижний порог выполнения задания в процентах: 75

Описание характеристики выполнения знания: Оценка "хорошо" выставляется если большинство вопросов раскрыто. выбрано верное направление для решения задач

Оценка: 3

Нижний порог выполнения задания в процентах: 60

Описание характеристики выполнения знания: Оценка "удовлетворительно" выставляется если задание преимущественно выполнено

КМ-2. Изучение принципов построения программ моделей

Формы реализации: Защита задания

Тип контрольного мероприятия: Лабораторная работа

Вес контрольного мероприятия в БРС: 20

Процедура проведения контрольного мероприятия: Домашняя подготовка и выполнение лабораторной работы. Демонстрация разработанных проектов и ответы на вопросы преподавателя

Краткое содержание задания:

Изучение принципов построения программ моделей структурной формы на языке VHDL. Изучение понятий атрибутов сигналов.

Контрольные вопросы/задания:

Знать: программные средства имитационного моделирования процессов в дискретных схемах цифровой аппаратуры	1. В чём состоит принципиальное различие структурной архитектуры от поведенческой 2. В чём заключается различие выполнения параллельных операторов от последовательных
---	---

Описание шкалы оценивания:

Оценка: 5

Нижний порог выполнения задания в процентах: 90

Описание характеристики выполнения знания: Оценка "отлично" выставляется если задание выполнено в полном объеме или выполнено преимущественно верно

Оценка: 4

Нижний порог выполнения задания в процентах: 75

Описание характеристики выполнения знания: Оценка "хорошо" выставляется если большинство вопросов раскрыто. выбрано верное направление для решения задач

Оценка: 3

Нижний порог выполнения задания в процентах: 60

Описание характеристики выполнения знания: Оценка "удовлетворительно" выставляется если задание преимущественно выполнено

КМ-3. Построение элементов памяти и цифровых узлов

Формы реализации: Письменная работа

Тип контрольного мероприятия: Контрольная работа

Вес контрольного мероприятия в БРС: 20

Процедура проведения контрольного мероприятия: Ответы на вопросы КР

Краткое содержание задания:

Выполнение контрольной работы «Построение элементов памяти и цифровых узлов с памятью на языке VHDL»

Контрольные вопросы/задания:

Уметь: использовать современные методы и технологии разработки и исследования моделей схем дискретных устройств (ДС) на уровне интегральных микросхем и БИС	1. Привести пример совместного применения инерционной и транспортной задержки для обнаружения гонок в схемах 2. Привести примеры применения параллельных операторов при моделировании схем триггеров и регистров
---	---

Описание шкалы оценивания:

Оценка: 5

Нижний порог выполнения задания в процентах: 90

Описание характеристики выполнения знания: Оценка "отлично" выставляется если задание выполнено в полном объеме или выполнено преимущественно верно

Оценка: 4

Нижний порог выполнения задания в процентах: 75

Описание характеристики выполнения знания: Оценка "хорошо" выставляется если большинство вопросов раскрыто. выбрано верное направление для решения задач

Оценка: 3

Нижний порог выполнения задания в процентах: 60

Описание характеристики выполнения знания: Оценка "удовлетворительно" выставляется если задание преимущественно выполнено

КМ-4. моделирование схем дискретных процессов

Формы реализации: Письменная работа

Тип контрольного мероприятия: Контрольная работа

Вес контрольного мероприятия в БРС: 40

Процедура проведения контрольного мероприятия: Ответы на вопросы КР

Краткое содержание задания:

«моделирование схем дискретных процессов с применением пакетов многозначной логики»

Контрольные вопросы/задания:

Уметь: выполнять математическое и имитационное моделирование процессов и объектов на базе стандартных систем автоматизированного проектирования и, в частности, применять модели типовых схем для включения в качестве компонент проектируемых систем в зависимости от условий, формулируемых заказчиком работы	1.Привести примеры применения функции разрешения в VHDL для моделирования схем типа «монтажное ИЛИ» и схем с тристабильным состоянием выходов 2.Записать на языке VHDL проверку условия приёма параллельного кода в регистр по фронту или срезу сигнала управления, используя понятия атрибутов сигнала.
---	---

Описание шкалы оценивания:

Оценка: 5

Нижний порог выполнения задания в процентах: 90

Описание характеристики выполнения знания: Оценка "отлично" выставляется, если задание выполнено в полном объеме или выполнено преимущественно верно

Оценка: 4

Нижний порог выполнения задания в процентах: 75

Описание характеристики выполнения знания: Оценка "хорошо" выставляется, если большинство вопросов раскрыто, выбрано верное направление для решения задач

Оценка: 3

Нижний порог выполнения задания в процентах: 60

Описание характеристики выполнения знания: Оценка "удовлетворительно" выставляется, если задание преимущественно выполнено

СОДЕРЖАНИЕ ОЦЕНОЧНЫХ СРЕДСТВ ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ

5 семестр

Форма промежуточной аттестации: Зачет с оценкой

Процедура проведения

Проведение зачётного занятия не запланировано

1. Перечень компетенций/индикаторов и контрольных вопросов проверки результатов освоения дисциплины

1. Компетенция/Индикатор: ИД-1ПК-3 Выполняет математическое и имитационное моделирование процессов и объектов на базе стандартных систем автоматизированного проектирования

Вопросы, задания

1. Дана программа на VHDL:

```
Entity at_x is
```

```
End at_x
```

```
Architecture potok_x of at_x is
```

```
Signal x, xtrns: bit;
```

```
Signal xestv: time;
```

```
Signal xevnt, xqit, xstb: boolean
```

```
Begin
```

```
X<='0' after 20 ns,
```

```
    '1' after 30 ns,
```

```
    '0' after 60 ns,
```

```
    '1' after 80 ns;
```

```
xtrns<= x'transaction;
```

```
xevnt<= x'event;
```

```
xestv<= x'last_event;
```

```
xqit<= x'quiet(5ns);
```

```
xstb<= x'stable(10ns);
```

```
Endpotok_x;
```

Построить временные диаграммы всех объявленных сигналов

2. Привести примеры применения пакетов многозначной логики для моделирования подключения микросхем к общей шине.

3. Построить VHDL-программу имитации схемы генератора с заданной частотой тактовых импульсов

Материалы для проверки остаточных знаний

1. Какой вариант ответа не является классом объектов языка VHDL

Ответы:

A) constant B) signal C) variable D) Нет правильного ответа

Верный ответ: Нет правильного ответа

2. Что в языке VHDL не является классом

Ответы:

A) constant B) signal C) type D) variable E) block E) time

Верный ответ: A) constant B) signal C) type

3. Что из перечисленного ниже не является модулем проекта (VHDL-файлов) цифровой системы?

Выберите правильный ответ

Ответы:

A)Architecture B)Entity C)Process D)Package E)Configuration

Верный ответ: C)Process

4.Регистр хранения, построенный на синхронных триггерах описывается в виде присвоения внутри определенного условия:

1*) process (Clk, d)

```
Begin
if (Clk = '1') then
    Q <= d;
end if;
endprocess;
```

2*) process (Clk)

```
begin
if (Clk'event and Clk = '1') then
    Q <= d;
end if;
endprocess;
```

где d — входной вектор данных, Q — выходной вектор.

Где регистр хранения с динамическим управлением? Выберите правильный ответ

Ответы:

A)1* B)2* C)Нет правильного ответа

Верный ответ: B)2*

5.Работа регистра, построенного на синхронных триггерах, описывается в виде:

1*) process (Clk, d)

```
Begin
if (Clk = '1') then
    Q <= d;
end if;
end process;
```

2*) process (Clk)

```
begin
if (Clk'event and Clk = '1') then
    Q<= d;
endif;
endprocess;
```

где d — входной вектор данных, Q — выходной вектор.

Ответы:

A)1* B)2* C)Нет правильного ответа

Верный ответ: B)2*

2. Компетенция/Индикатор: ИД-5_{ПК-3} Демонстрирует знание методов анализа и синтеза линейных и нелинейных электрических, электронных, цифровых систем

Вопросы, задания

- 1.Построить VHDL-модель D-триггера с асинхронными установкой и сбросом.
- 2.Построить интерфейс и структурную VHDL- модель архитектуры N- разрядного сумматора на элементной базе И-НЕ
- 3.Для имитации управления режимами управления некоторого объекта построить VHDL- модель дешифратора на 10 выходов

Материалы для проверки остаточных знаний

1.Где произойдет ошибка?

```
1* Type big_integer is range 0 to 2000;
   Subtype small_integer is big_integer range 0 to 15;
   Signal intermediate :small_integer;
   Signal final :big_integer;
```

.

```
Final <= intermediate * 5;
```

2* Type big_integer is range 0 to 2000;
Type small_integer is range 0 to 15;
Signal intermediate :small_integer;
Signal final :big_integer;

```
Final<= intermediate * 5;
```

Ответы:

A)1* B)2* C)Оба варианта без ошибок D)Оба варианта с ошибками

Верный ответ: B)2*

2.Какую схему реализует код, приведённый ниже?

```
library IEEE;  
use IEEE.STD_LOGIC_1164.ALL;  
entity Hello is  
    Port ( clk : in STD_LOGIC;  
X : in STD_LOGIC;  
Y : out STD_LOGIC);  
end Hello;  
architecture Behavioral of Hello is  
begin
```

```
    Process (clk)  
    Begin  
        If (rising_edge(clk)) then  
            Y <= X;  
        End if;
```

```
    End process;  
end Behavioral;
```

Ответы:

A)Дешифратор B)D – триггер C)Мультиплексор D)RS – триггер

Верный ответ: B)D – триггер

3.Выберите положительный(е) вариант(ы) ответов:

Ответы:

A) В VHDL можно умножать действительное число на целое? --нет B) В VHDL можно умножать действительное число на время (тип time)? C) Может ли значение '0' быть назначено сигналу типа integer? D) Может ли значение 0 быть назначено сигналу типа real?

Верный ответ: B)В VHDL можно умножать действительное число на время (тип time)?

4.Эквивалентны ли следующие записи?

1*

```
Architecture right_arch of right_entity is  
    Signal q: std_logic_vector (3 downto 0);  
Begin  
    q <= ( ' 0 ' & q(3 downto 1)) and d;  
    . . .  
End right_arch;
```

2*

```
Architecture right_arch of right_entity is
```

```

Signal q: std_logic_vector (3 downto 0);
Begin
q(3) <= ' 0 ' and d(3);
q(2) <= q(3) and d(3);
q(1) <= q(2) and d(3);
q(0) <= q(1) and d(3);

```

End right_arch;

Ответы:

A)Да B)Нет

Верный ответ: A)Да

5.Какие процессы можно использовать в комбинационной схеме?

1*

```

Signal a, b, c, y: std_logic;

```

....

```

process(a, b, c)

```

```

begin

```

```

y <= a and b or c;

```

```

end process;

```

2*

```

Signal a, b, c, y: std_logic;

```

....

```

process(a)

```

```

begin

```

```

y <= a and b or c;

```

```

end process;

```

Ответы:

A)1* B)2* C)1* и 2*

Верный ответ: A)1*

6.Выберите положительный(е) вариант(ы) ответов

Ответы:

A)Параметр (generic) должен быть константой? --да B)Только сигналы могут употребляться как переносчики информации между процессами? Да C)Все процессы в архитектурном теле являются активными все время, когда архитектура активна? -- нет D)Все сигналы, описанные в entity, являются видимыми во всех архитектурах, связанных с entity? -- да

Верный ответ: A)Параметр (generic) должен быть константой? B)Только сигналы могут употребляться как переносчики информации между процессами? D)Все сигналы, описанные в entity, являются видимыми во всех архитектурах, связанных с entity?

II. Описание шкалы оценивания

Оценка: 5

Нижний порог выполнения задания в процентах: 90

Описание характеристики выполнения знания: Оценка "отлично" выставляется если задание выполнено в полном объеме или выполнено преимущественно верно

Оценка: 4

Нижний порог выполнения задания в процентах: 75

Описание характеристики выполнения знания: Оценка "хорошо" выставляется если большинство вопросов раскрыто. выбрано верное направление для решения задач

Оценка: 3

Нижний порог выполнения задания в процентах: 60

Описание характеристики выполнения знания: Оценка "удовлетворительно" выставляется если задание преимущественно выполнено

III. Правила выставления итоговой оценки по курсу

Оценка определяется в соответствии с Положением о балльно-рейтинговой системе для студентов НИУ «МЭИ» по совокупности результатов текущего контроля успеваемости.