

**Министерство науки и высшего образования РФ
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Национальный исследовательский университет «МЭИ»**

Направление подготовки/специальность: 09.03.01 Информатика и вычислительная техника

Наименование образовательной программы: Системы автоматизированного проектирования

Уровень образования: высшее образование - бакалавриат

Форма обучения: Очная

**Оценочные материалы
по дисциплине
Функциональные узлы и процессоры**

**Москва
2023**

ОЦЕНОЧНЫЕ МАТЕРИАЛЫ РАЗРАБОТАЛ:

Преподаватель
(должность)

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Ключников А.М.
	Идентификатор	R25ddb2e4-KliuchnikovAM-96662af

(подпись)

А.М.
Ключников
(расшифровка
подписи)

СОГЛАСОВАНО:

Руководитель
образовательной
программы

(должность, ученая степень, ученое
звание)

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Андреева И.Н.
	Идентификатор	Rb5322c60-AndreevaIN-0472a135

(подпись)

И.Н.
Андреева
(расшифровка
подписи)

Заведующий
выпускающей кафедры

(должность, ученая степень, ученое
звание)

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Топорков В.В.
	Идентификатор	Rc76a6458-ToporkovVV-1f71a135

(подпись)

В.В.
Топорков
(расшифровка
подписи)

ОБЩАЯ ЧАСТЬ

Оценочные материалы по дисциплине предназначены для оценки: достижения обучающимися запланированных результатов обучения по дисциплине, этапа формирования запланированных компетенций и уровня освоения дисциплины.

Оценочные материалы по дисциплине включают оценочные средства для проведения мероприятий текущего контроля успеваемости и промежуточной аттестации.

Формируемые у обучающегося компетенции:

1. ПК-2 Способен определять конфигурацию и технические характеристики оборудования, необходимые для установки программного продукта

ИД-1 Осуществляет разработку аппаратных и программных средств различного назначения в соответствии с техническим заданием

ИД-4 Демонстрирует умение проверять техническое состояние вычислительного оборудования и осуществлять необходимые профилактические процедуры

и включает:

для текущего контроля успеваемости:

Форма реализации: Защита задания

1. Защита комплекса лабораторных работ «Последовательностные функциональные узлы» (Лабораторная работа)

Форма реализации: Письменная работа

1. Контрольная работа «Аппаратная реализация процессора. Гонки сигналов. Синхронизация» (Контрольная работа)

2. Контрольная работа «Последовательностные функциональные узлы» (Контрольная работа)

3. Контрольная работа «Технологический базис. Программируемые логические интегральные схемы» (Контрольная работа)

БРС дисциплины

6 семестр

Раздел дисциплины	Веса контрольных мероприятий, %				
	Индекс КМ:	КМ-1	КМ-2	КМ-3	КМ-4
	Срок КМ:	4	8	12	14
Технологический базис для создания функциональных узлов					
Технологический базис для создания функциональных узлов		+			
Программируемые логические интегральные схемы					
Программируемые логические интегральные схемы		+			
Последовательностные функциональные узлы					
Последовательностные функциональные узлы			+		+

Гонки сигналов и синхронизация работы цифровых узлов				
Гонки сигналов и синхронизация работы цифровых узлов			+	
Элементы управления, индикации и тактирования				
Элементы управления, индикации и тактирования				+
Аппаратная реализация процессора				
Аппаратная реализация процессора			+	
Интерфейсы цифровых устройств и процессоров				
Интерфейсы цифровых устройств и процессоров				+
Вес КМ:	20	20	30	30

§Общая часть/Для промежуточной аттестации§

БРС курсовой работы/проекта

6 семестр

Раздел дисциплины	Веса контрольных мероприятий, %		
	Индекс КМ:	КМ-1	КМ-2
	Срок КМ:	6	12
Разработка структурной схемы устройства		+	
Выбор типа сумматора и разработка схемотехнического решения		+	
Разработка комбинационной схемы			+
Оценка временных и аппаратных затрат			+
Вес КМ:		50	50

СОДЕРЖАНИЕ ОЦЕНОЧНЫХ СРЕДСТВ ТЕКУЩЕГО КОНТРОЛЯ

I. Оценочные средства для оценки запланированных результатов обучения по дисциплине, соотнесенных с индикаторами достижения компетенций

Индекс компетенции	Индикатор	Запланированные результаты обучения по дисциплине	Контрольная точка
ПК-2	ИД-1 _{ПК-2} Осуществляет разработку аппаратных и программных средств различного назначения в соответствии с техническим заданием	Знать: основные источники научно-технической информации по разработке функциональных узлов и процессоров Уметь: ставить и решать схемотехнические задачи, связанные с выбором системы элементов при заданных требованиях к параметрам (временным, мощностным, габаритным, надёжностным)	Контрольная работа «Технологический базис. Программируемые логические интегральные схемы» (Контрольная работа) Контрольная работа «Аппаратная реализация процессора. Гонки сигналов. Синхронизация» (Контрольная работа)
ПК-2	ИД-4 _{ПК-2} Демонстрирует умение проверять техническое состояние вычислительного оборудования и осуществлять необходимые профилактические процедуры	Знать: технологии разработки функциональных узлов и процессоров Уметь: участвовать в настройке и наладке программно-аппаратных комплексов	Контрольная работа «Последовательностные функциональные узлы» (Контрольная работа) Защита комплекса лабораторных работ «Последовательностные функциональные узлы» (Лабораторная работа)

II. Содержание оценочных средств. Шкала и критерии оценивания

КМ-1. Контрольная работа «Технологический базис. Программируемые логические интегральные схемы»

Формы реализации: Письменная работа

Тип контрольного мероприятия: Контрольная работа

Вес контрольного мероприятия в БРС: 20

Процедура проведения контрольного мероприятия: Контрольная точка проводится в аудиторное время. Технология проверки связана с выполнением контрольного задания по изученной схеме. Время отведенное на выполнение задания не более 20 минут. Каждый студент получает вариант задания для которого в письменном виде приводит решение.

Краткое содержание задания:

Принцип работы КМОП логических элементов.

Устройство ПЛИС типа ПЛИМ и FPGA. Способы программирования.

Основы языка описания аппаратуры SystemVerilog.

Реализовать простые функциональные устройства с использованием программируемой логической матрицы или логического блока

Контрольные вопросы/задания:

Знать: основные источники научно-технической информации по разработке функциональных узлов и процессоров	<ol style="list-style-type: none">1.Общая схема построения логического КМОП-элемента.2.Особенности работы повышающей и понижающей схемы КМОП-элемента3.Задержка КМОП-элемента. Задержка комбинационной логической схемы.4.Понятие критического пути, короткого пути в схеме.5.Расчет потребляемой мощности комбинационной схемы.6.Определение ПЛИС, примеры использования, сравнение со СБИС.7.Структура ПЛИС типа ПЛИМ. Принцип работы и программирования.8.Структура ПЛИС типа FPGA. Принцип работы и программирования.9.Способы программирования ПЛИС.10.Язык описания аппаратуры SystemVerilog. Описание комбинационной логики.11.Язык описания аппаратуры SystemVerilog. Описание последовательностной логики.
--	---

Описание шкалы оценивания:

Оценка: 5

Нижний порог выполнения задания в процентах: 90

Описание характеристики выполнения знания: Оценка "отлично" выставляется если задание выполнено в полном объеме или ответ близок к оптимальному

Оценка: 4

Нижний порог выполнения задания в процентах: 70

Описание характеристики выполнения знания: Оценка "хорошо" выставляется если задание выполнено в полном объеме, но ответ получился не оптимальным, либо решение имеют несущественные недочёты

Оценка: 3

Нижний порог выполнения задания в процентах: 50

Описание характеристики выполнения знания: Оценка "удовлетворительно" выставляется если верно выполнена только часть задания или если решение имеют существенные недочеты

КМ-2. Контрольная работа «Последовательностные функциональные узлы»

Формы реализации: Письменная работа

Тип контрольного мероприятия: Контрольная работа

Вес контрольного мероприятия в БРС: 20

Процедура проведения контрольного мероприятия: Контрольная точка проводится в аудиторное время. Технология проверки связана с выполнением контрольного задания по изученной схеме. Время отведенное на выполнение задания не более 20 минут. Каждый студент получает вариант задания для которого в письменном виде приводит решение.

Краткое содержание задания:

Два устройства осуществляют обмен данными: посылка от передатчика к приемнику состоит из байта данных и контрольной суммы. На принимающей стороне необходимо проверить правильность полученных данных.

Необходимо рассчитать сигнатуру сумматора для заданного порождающего полинома.

Контрольные вопросы/задания:

Знать: технологию разработки функциональных узлов и процессоров	<ol style="list-style-type: none">1.Области применения полиномиальных счетчиков.2.Определение цифрового псевдослучайного сигнала.3.Структура сдвигающего регистра с линейной обратной связью. Пример генератора псевдослучайной последовательности.4.Способы реализации генераторов псевдослучайных чисел.5.Правила умножения и деления полиномов. Схемы умножения и деления полиномов.6.Схемы контроля с использованием умножения и деления полиномов.7.Определение двоичных счетчиков, особенности их работы, типы счетчиков.8.Принцип построения счетчиков с непосредственной связью.9.Принцип построения счетчиков с трактом последовательного переноса.10.Принцип построения счетчиков с трактом параллельного переноса.11.Особенности работы синхронных и асинхронных счетчиков.12.Способы построения схем реверсивных счетчиков и принцип их работы.13.Способы построения схем счетчиков по произвольному основанию и принцип их работы.
---	---

14.Определение задержки схемы, составляющие задержки, факторы влияющие на задержку.

Описание шкалы оценивания:

Оценка: 5

Нижний порог выполнения задания в процентах: 90

Описание характеристики выполнения знания: Оценка "отлично" выставляется если задание выполнено в полном объеме или ответ близок к оптимальному

Оценка: 4

Нижний порог выполнения задания в процентах: 70

Описание характеристики выполнения знания: Оценка "хорошо" выставляется если задание выполнено в полном объеме, но ответ получился не оптимальным, либо решение имеют несущественные недочёты

Оценка: 3

Нижний порог выполнения задания в процентах: 50

Описание характеристики выполнения знания: Оценка "удовлетворительно" выставляется если верно выполнена только часть задания или если решение имеют существенные недочеты

КМ-3. Контрольная работа «Аппаратная реализация процессора. Гонки сигналов. Синхронизация»

Формы реализации: Письменная работа

Тип контрольного мероприятия: Контрольная работа

Вес контрольного мероприятия в БРС: 30

Процедура проведения контрольного мероприятия: Контрольная точка проводится в аудиторное время. Технология проверки связана с выполнением контрольного задания по изученной схеме. Время отведенное на выполнение задания не более 20 минут. Каждый студент получает вариант задания для которого в письменном виде приводит решение.

Краткое содержание задания:

Задание на контрольную работу состоит из одного вопроса и задачи.

Контрольные вопросы/задания:

<p>Уметь: ставить и решать схемотехнические задачи, связанные с выбором системы элементов при заданных требованиях к параметрам (временны</p>	<p>1.Дана последовательность команд. Необходимо рассчитать время исполнения команд на процессоре без конвейера и с конвейером. Длительность стадий исполнения команд: $T_1=10\text{мс}$ $T_2=5\text{мс}$ $T_3=8\text{мс}$ $T_4=10\text{мс}$ $T_5=15\text{мс}$ Последовательность команд:</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>ADD</td><td>R1</td><td>=</td><td>R2</td><td>R3</td></tr> <tr><td>SUB</td><td>R4</td><td>=</td><td>R1</td><td>R5</td></tr> <tr><td>AND</td><td>R6</td><td>=</td><td>R1</td><td>R7</td></tr> <tr><td>OR</td><td>R8</td><td>=</td><td>R1</td><td>R9</td></tr> <tr><td>XOR</td><td>R10</td><td>=</td><td>R1</td><td>R11</td></tr> </table> <p>2.Дана последовательность команд, построить 5 стадийный конвейер исполнения.</p>	ADD	R1	=	R2	R3	SUB	R4	=	R1	R5	AND	R6	=	R1	R7	OR	R8	=	R1	R9	XOR	R10	=	R1	R11
ADD	R1	=	R2	R3																						
SUB	R4	=	R1	R5																						
AND	R6	=	R1	R7																						
OR	R8	=	R1	R9																						
XOR	R10	=	R1	R11																						

м,
мощности,
габаритными,
надёжностью)

Последовательность команд:

ADD	R1	=	R2	R3
SUB	R4	=	R1	R5
AND	R6	=	R1	R7
OR	R8	=	R1	R9
XOR	R10	=	R1	R11

Конвейер исполнения:

Команды	Такты										
	1	2	3	4	5	6	7	8	9	10	11

3. Дана последовательность команд, построить 5-стадийный конвейер исполнения, с аппаратурой перенаправления данных.

Последовательность команд:

ADD	R1	=	R2	R3
SUB	R4	=	R1	R5
AND	R6	=	R1	R7
OR	R8	=	R1	R9
XOR	R10	=	R1	R11

Конвейер исполнения:

Команды	Такты										
	1	2	3	4	5	6	7	8	9	10	11

4. Дана последовательность команд с ветвлением. Заполнить таблицу динамики ветвлений для 6 итераций ($i = 0 \dots 5$).

Программа на языке программирования:

```
if (i < 3)
    k = 1;
else
    k = 2;
```

Программа на языке ассемблера:

	CMP i, 3;	сравнение i с 3
	BGE Else;	переход к Else, если i больше 3
Then:	MOV k, 1;	присваивание значения 1 переменной k
	BR Next;	безусловный переход к Next
Else:	MOV k, 2	присваивание значения 2 переменной k
Next:		

Таблица динамики ветвлений:

Элемент	Команда перехода	Бит перехода					
		i=0	i=1	i=2	i=3	i=4	i=5
0							
1							
2							
3							

5. Дана последовательность команд с ветвлением. Заполнить таблицу динамики ветвлений с 2-х разрядным указателем переходов для 6 итераций ($i = 0 \dots 5$).

Программа на языке программирования:

```

if (i < 3)
    k = 1;
else
    k = 2;

```

Программа на языке ассемблер:

	CMP i, 3;	сравнение i с 3
	BGE Else;	переход к Else, если i больше 3
Then:	MOV k, 1;	присваивание значения 1 переменной k
	BR Next;	безусловный переход к Next
Else:	MOV k, 2	присваивание значения 2 переменной k
Next:		

Таблица динамики ветвлений:

Элемент	Команда перехода	Бит перехода					
		i=0	i=1	i=2	i=3	i=4	i=5
0							
1							
2							
3							

6. Дана последовательность адресов обращения в память. Определите состояние кэш-памяти прямого отображения (адресной части) из 16 элементов после обработки всех адресов. Строка данных кэш-памяти равна 64 байта.

Последовательность адресов:

Адрес(16)	Тег(16)	Строка(16)	Байт(16)
77822ab1			
77883ab2			
77853db3			
778430b7			
77813ab0			

Кэш-память:

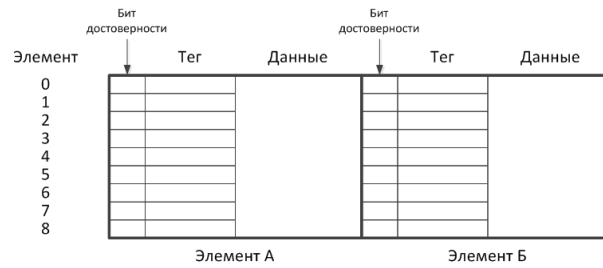
Элемент	Тег	Данные
0		
1		
2		
3		
4		
5		
6		
7		
8		
9		
10		
11		
12		
13		
14		
15		

7. Дана последовательность адресов обращения в память. Определите состояние 2-входной ассоциативной кэш-памяти (адресной части) после

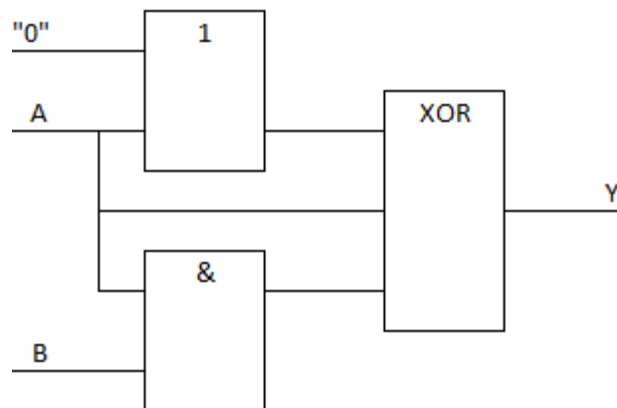
обработки всех адресов. Строка данных кэш-памяти равна 64 байта.
 Последовательность адресов:

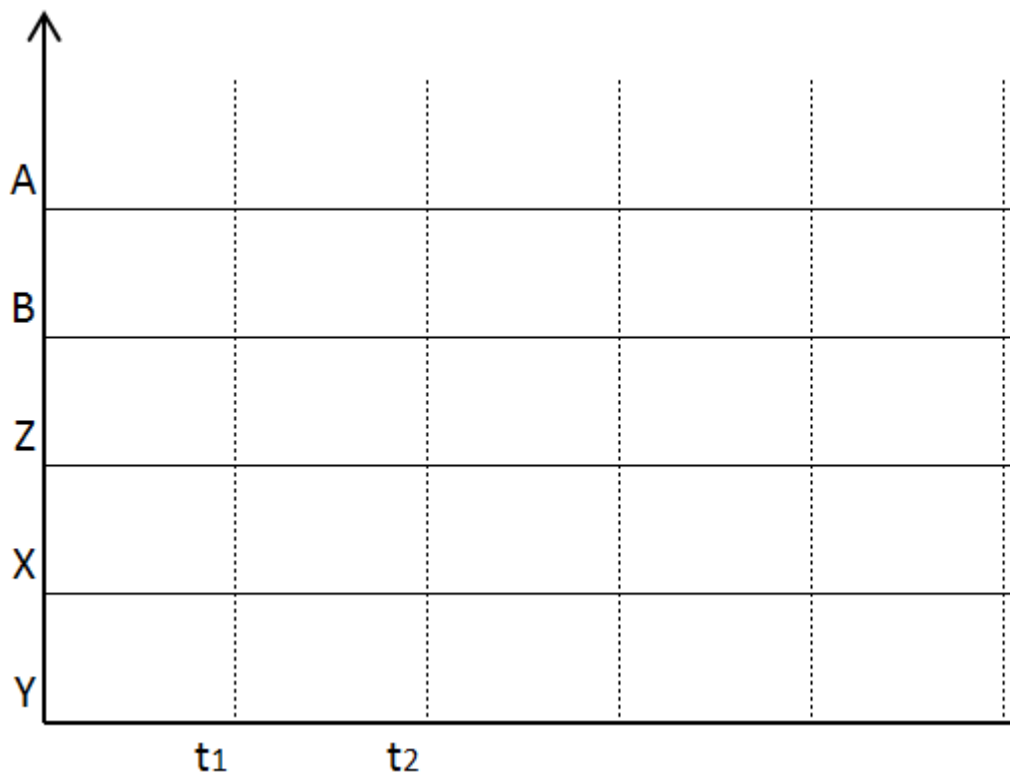
Адрес(16)	Тег(16)	Строка(16)	Байт(16)
77822ab1			
77883ab2			
77853db3			
778430b7			
77813ab0			

Кэш-память:



8. Построить диаграмму переходных процессов для приведенной схемы с обозначением состояния неопределенности. Параметры схемы взять из таблицы ниже.



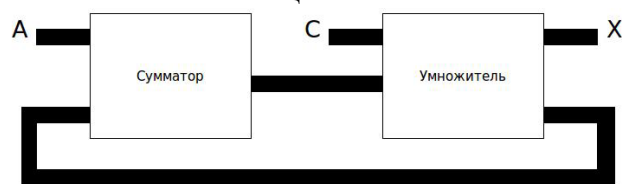


Вариант	Задержка элемента "ИЛИ"	Задержка элемента "И"	Задержка элемента "XOR"	Исходное состояние	Момент переключения
1	t	t	t	A=0, B=0	A и B переключаются одновременно в момент времени t1
2	t	2t	2t	A=1, B=0	A и B переключаются одновременно в момент времени t1
3	2t	t	t	A=0, B=1	A и B переключаются одновременно в момент времени t1
4	t	2t	2t	A=1, B=1	A и B переключаются одновременно в момент времени t1
5	t	t	t	A=0, B=0	A переключается в момент времени t1 B переключается в момент времени t2
6	t	2t	2t	A=1, B=0	A переключается в момент времени t1 B переключается

						в момент времени t_2
7	$2t$	t	t	$A=0, B=1$		А переключается в момент времени t_1 В переключается в момент времени t_2
8	t	$2t$	$2t$	$A=1, B=1$		А переключается в момент времени t_1 В переключается в момент времени t_2
9	t	t	t	$A=0, B=0$		А переключается в момент времени t_2 В переключается в момент времени t_1
10	t	$2t$	$2t$	$A=1, B=0$		А переключается в момент времени t_2 В переключается в момент времени t_1
11	$2t$	t	t	$A=0, B=1$		А переключается в момент времени t_2 В переключается в момент времени t_1
12	t	$2t$	$2t$	$A=1, B=1$		А переключается в момент времени t_2 В переключается в момент времени t_1
13	t	t	t	$A=0, B=0$		А переключается в момент времени t_2 В переключается в момент времени t_1
14	t	$2t$	$2t$	$A=1, B=0$		А переключается в момент времени t_2 В переключается в момент времени t_1
15	$2t$	t	t	$A=0, B=1$		А переключается в момент времени

					t2 В переключается в момент времени t1
16	t	2t	2t	A=1, B=1	A переключается в момент времени t2 В переключается в момент времени t1

9. Разработать систему синхронизации для устройства, которое производит вычисление по следующей формуле: $X = (A + X - 1) * C$, где C - это константа. Рассчитать максимальную частоту синхросигнала. Параметры схемы взять из таблицы ниже.



Вариант	Задержка сумматора	Задержка умножителя	Временные параметры триггера	Значение t, мс
1	5t	5t	0.2t	10
2	10t	3t	0.2t	10
3	4t	6t	0.2t	10

Описание шкалы оценивания:

Оценка: 5

Нижний порог выполнения задания в процентах: 90

Описание характеристики выполнения знания: Оценка "отлично" выставляется если задание выполнено в полном объеме или ответ близок к оптимальному

Оценка: 4

Нижний порог выполнения задания в процентах: 70

Описание характеристики выполнения знания: Оценка "хорошо" выставляется если задание выполнено в полном объеме, но ответ получился не оптимальным, либо решение имеют несущественные недочёты

Оценка: 3

Нижний порог выполнения задания в процентах: 50

Описание характеристики выполнения знания: Оценка "удовлетворительно" выставляется если верно выполнена только часть задания или если решение имеют существенные недочеты

КМ-4. Защита комплекса лабораторных работ «Последовательностные функциональные узлы»

Формы реализации: Защита задания

Тип контрольного мероприятия: Лабораторная работа

Вес контрольного мероприятия в БРС: 30

Процедура проведения контрольного мероприятия: Защита лабораторных работ проводится во время проведения лабораторной работы. Для защиты студенты готовят отчет, в котором описывают полученные результаты. Преподаватель задает студентам контрольные вопросы. Время проведения защиты около 10 минут.

Краткое содержание задания:

В ходе лабораторной работы необходимо на лабораторном стенде построить схемы сдвиговых регистров, двоичных счетчиков.

Контрольные вопросы/задания:

Знать: технологию разработки функциональных узлов и процессоров	1.Способы реализации сдвиговых регистров на ИС 2.Способы реализации счетчиков на ИС
Уметь: участвовать в настройке и наладке программно-аппаратных комплексов	1.Реализация схемы для устранения дребезга контактов 2.Реализация схемы сдвиговых регистров 3.Реализация схемы двоичных счетчиков 4.Два устройства соединены по интерфейсу SPI. Первой устройство Master, второе – Slave. Нарисовать диаграмму обмена данными. Master передает в Slave два байта данных 0x57F3: (а) Порядок следования битов - MSB. CPOL = 0, CPHA = 0. (б) Порядок следования битов - MSB. CPOL = 0, CPHA = 1. (в) Порядок следования битов - MSB. CPOL = 1, CPHA = 0. (г) Порядок следования битов - MSB. CPOL = 1, CPHA = 1. Master передает в Slave два байта данных 0x21E1: (д) Порядок следования битов - LSB. CPOL = 0, CPHA = 0. (е) Порядок следования битов - LSB. CPOL = 0, CPHA = 1. (ж) Порядок следования битов - LSB. CPOL = 1, CPHA = 0. (з) Порядок следования битов - LSB. CPOL = 1, CPHA = 1. Master читает из Slave два байта данных 0x21E1: (и) Порядок следования битов - MSB. CPOL = 0, CPHA = 0. (к) Порядок следования битов - MSB. CPOL = 0, CPHA = 1. (л) Порядок следования битов - MSB. CPOL = 1, CPHA = 0. (м) Порядок следования битов - MSB. CPOL = 1, CPHA = 1. Master передает в Slave один байт данных 0xF3 (команда чтения статуса Slave устройства), после чего Slave возвращает Master один байт 0xA3: (н) Порядок следования битов - MSB. CPOL = 0, CPHA = 0. (о) Порядок следования битов - MSB. CPOL = 0, CPHA = 1. (п) Порядок следования битов - MSB. CPOL = 1, CPHA = 0. (р) Порядок следования битов - MSB. CPOL = 1,

	<p>СРНА = 1.</p> <p>5. Пять устройств подключены к шине I2C. Нарисовать диаграмму обмена данными.</p> <p>(а) Устройство 1 передает один байт данных 0x57 устройству по адресу 0x72.</p> <p>(б) Устройство 1 читает данные из устройства по адресу 0x52, которое возвращает один байт 0x94.</p> <p>(в) Устройство 1 пишет один байт данных 0x55 в устройство по адресу 0x52.</p> <p>(г) Устройство 2 и 3 одновременно передают один байт данных в устройство 4. Устройство 2 передает байт 0x7F, устройство 3 передает байт 0x70. Какое устройство выиграет арбитраж?</p> <p>(д) Устройство 2 и 3 одновременно адресуют устройство 4. Устройство 2 хочет считать байт данных (устройство 4 возвращает 0x7F), устройство 3 записать байт 0x70. Какое устройство выиграет арбитраж?</p> <p>(е) Устройство 2 и 3 одновременно адресуют устройство 4 для чтения. Устройство 4 возвращает байт данных 0x85.</p>
--	---

Описание шкалы оценивания:

Оценка: 5

Нижний порог выполнения задания в процентах: 90

Описание характеристики выполнения знания: Описание

Оценка: 4

Нижний порог выполнения задания в процентах: 70

Описание характеристики выполнения знания: описание

Оценка: 3

Нижний порог выполнения задания в процентах: 50

Описание характеристики выполнения знания: описание

СОДЕРЖАНИЕ ОЦЕНОЧНЫХ СРЕДСТВ ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ

6 семестр

Форма промежуточной аттестации: Зачет с оценкой

Пример билета

Билет состоит из одного вопроса, который охватывает тему из одного раздела

Процедура проведения

Зачет проводится на зачетной неделе. Студент устно отвечает на вопрос и уточняющие вопросы. Время проведения не более 15 минут.

1. Перечень компетенций/индикаторов и контрольных вопросов проверки результатов освоения дисциплины

1. Компетенция/Индикатор: ИД-1ПК-2 Осуществляет разработку аппаратных и программных средств различного назначения в соответствии с техническим заданием

Вопросы, задания

1. Отличия между цифровыми и аналоговыми функциональными узлами. КМОП-технология и правила построения КМОП-элемента.
2. Задержка схемы, состояние неопределенности. Временные диаграммы, которые отображают переходные процессы.
3. Примеры построения базовых КМОП-элементов. Основные параметры элементов и устройств: задержка, потребляемая мощность.

Материалы для проверки остаточных знаний

1. Логический элемент ИЛИ-НЕ построенный по технологии КМОП состоит из:

Ответы:

- а) параллельно включенных р-канальных транзисторов, последовательно включенных п-канальных транзисторов б) последовательно включенных р-канальных транзисторов, последовательно включенных п-канальных транзисторов в) последовательно включенных р-канальных транзисторов, параллельно включенных п-канальных транзисторов г) параллельно включенных р-канальных транзисторов, параллельно включенных п-канальных транзисторов

Верный ответ: Ответ: в.

2. Какой метод может быть использован для борьбы с гонками в цифровых схемах?

Ответы:

- а) уменьшение задержки схемы б) введение тактирования (синхронизации) в) использование D-триггеров г) увеличить мощность схемы

Верный ответ: Ответ: б.

3. Какие временные параметры есть у триггеров?

Ответы:

- а) время периода тактовых импульсов б) время предустановки в) время удержания г) время расфазировки тактового сигнала

Верный ответ: Ответ: б, в.

4. К чему приводит сигнал с пологим фронтом на входе цифровой схемы?

Ответы:

- а) ни к чему не приводит, на работу схемы не влияет б) схема будет работать быстрее в) могут появиться гонки по входу г) схема будет работать медленнее

Верный ответ: Ответ: в.

5. Какое устройство используется для формирования длительности фронта?

Ответы:

а) триггер Шмитта б) счетчик в) Т-триггер г) генератор

Верный ответ: Ответ: а.

6. Какой выходной элемент может выполнять функцию монтажного И?

Ответы:

а) элементы с логическим выходом б) элементы с выходом с открытым коллектором в) элементы с выходом с тремя состояниями г) элемент с двухтактным выходным каскадом

Верный ответ: Ответ: б.

2. Компетенция/Индикатор: ИД-4ПК-2 Демонстрирует умение проверять техническое состояние вычислительного оборудования и осуществлять необходимые профилактические процедуры

Вопросы, задания

1. Язык описания аппаратуры SystemVerilog. Основные операторы для описания последовательностных схем.

2. Язык описания аппаратуры SystemVerilog. Основные операторы для описания комбинационных схем.

3. Язык описания аппаратуры SystemVerilog. Описание комбинационных схем.

4. FPGA. Типовая структура логического блока. Логические блоки на мультиплексорах. Основные характеристики современных микросхем FPGA

5. FPGA. Логические блоки на таблицах соответствия. Передаточный вентиль. Мультиплексор на основе передаточных вентиляей.

6. ПЛИМ. Структура, программирование, характеристики.

7. ПЛИС. Определение, области применения, типы ПЛИС.

8. Дребезг контакта и способы его устранения.

9. Прием внешних сигналов, требования к внешним сигналам. Формирование длительности фронта.

Материалы для проверки остаточных знаний

1. Выберите варианты, которые верны для программируемых логических матриц (ПЛИМ)

Ответы:

а) реализуют только комбинационные схемы б) реализуют комбинационные и последовательностные схемы в) используют мультиплексоры для реализации логических функций г) позволяют реализовать логические схемы, заданные в СДНФ д) состоят из программируемых логических блоков е) используют таблицы соответствия для реализации логической функции ж) состоят из матрицы И и матрицы ИЛИ

Верный ответ: Ответ: а, г, ж.

2. Выберите варианты, которые верны для программируемых пользователем матрицы логических элементов (FPGA)

Ответы:

а) реализуют только комбинационные схемы б) реализуют комбинационные и последовательностные схемы в) используют мультиплексоры для реализации логических функций г) позволяют реализовать логические схемы, заданные в СДНФ д) состоят из программируемых логических блоков е) используют таблицы соответствия для реализации логической функции ж) состоят из матрицы И и матрицы ИЛИ

Верный ответ: Ответ: б, в, д, е.

3. Что является языком описания аппаратуры:

Ответы:

а) Verilog б) C++ в) Perl г) VHDL д) Java

Верный ответ: Ответ: а, г.

4. Какое устройство описано на языке SystemVerilog?

```
1 module counter #(parameter N = 8)
2     (input logic clk,
3       input logic reset,
4       output logic [N-1:0] q);
5     always_ff @(posedge clk, posedge reset)
6         if (reset) q <= 0;
7         else      q <= q + 1;
8 endmodule
```

Ответы:

а) сумматор б) мультиплексор в) счетчик г) шифратор

Верный ответ: Ответ: в.

II. Описание шкалы оценивания

Оценка: 5

Нижний порог выполнения задания в процентах: 90

Описание характеристики выполнения знания: Оценка "отлично" выставляется если задание выполнено в полном объеме или ответ близок к оптимальному

Оценка: 4

Нижний порог выполнения задания в процентах: 70

Описание характеристики выполнения знания: Оценка "хорошо" выставляется если задание выполнено в полном объеме, но ответ получился не оптимальным, либо решение имеют несущественные недочёты

Оценка: 3

Нижний порог выполнения задания в процентах: 50

Описание характеристики выполнения знания: Оценка "удовлетворительно" выставляется если верно выполнена только часть задания или если решение имеют существенные недочеты

III. Правила выставления итоговой оценки по курсу

Зачет выставляется по совокупности

Для курсового проекта/работы:

6 семестр

Форма проведения: Защита КП/КР

I. Процедура защиты КП/КР

Для защиты студент предоставляет отчет о выполнении курсовой работы, проверяется правильность структурной и комбинационной схемы, правильность расчета временных и аппаратных затрат. Задаются уточняющие вопросы. Время защиты не более 20 минут.

II. Описание шкалы оценивания

Оценка: 5

Нижний порог выполнения задания в процентах: 90

Описание характеристики выполнения знания: Оценка "отлично" выставляется если задание выполнено в полном объеме или ответ близок к оптимальному

Оценка: 4

Нижний порог выполнения задания в процентах: 70

Описание характеристики выполнения знания: Оценка "хорошо" выставляется если задание выполнено в полном объеме, но ответ получился не оптимальным, либо решение имеют несущественные недочёты

Оценка: 3

Нижний порог выполнения задания в процентах: 50

Описание характеристики выполнения знания: Оценка "удовлетворительно" выставляется если верно выполнена только часть задания или если решение имеют существенные недочеты

III. Правила выставления итоговой оценки по курсу

Оценка выставляется по совокупности.