

**Министерство науки и высшего образования РФ**  
**Федеральное государственное бюджетное образовательное учреждение**  
**высшего образования**  
**«Национальный исследовательский университет «МЭИ»**

---

Направление подготовки/специальность: 09.04.01 Информатика и вычислительная техника

Наименование образовательной программы: Цифровые технологии

Уровень образования: высшее образование - магистратура

Форма обучения: Очная

**Рабочая программа дисциплины**  
**СОВРЕМЕННЫЕ МЕТОДЫ ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ**  
**СИСТЕМ**


<b>Блок:</b>	Блок 1 «Дисциплины (модули)»
<b>Часть образовательной программы:</b>	Часть, формируемая участниками образовательных отношений
<b>№ дисциплины по учебному плану:</b>	Б1.Ч.07.01.01
<b>Трудоемкость в зачетных единицах:</b>	1 семестр - 3;
<b>Часов (всего) по учебному плану:</b>	108 часов
<b>Лекции</b>	1 семестр - 32 часа;
<b>Практические занятия</b>	не предусмотрено учебным планом
<b>Лабораторные работы</b>	1 семестр - 32 часа;
<b>Консультации</b>	проводится в рамках часов аудиторных занятий
<b>Самостоятельная работа</b>	1 семестр - 43,7 часа;
<b>в том числе на КП/КР</b>	не предусмотрено учебным планом
<b>Иная контактная работа</b>	проводится в рамках часов аудиторных занятий
<b>включая:</b>	
<b>Лабораторная работа</b>	
<b>Промежуточная аттестация:</b>	
<b>Зачет с оценкой</b>	1 семестр - 0,3 часа;

**Москва 2020**

## ПРОГРАММУ СОСТАВИЛ:

Преподаватель

(должность)

	<b>Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»</b>	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Поляков А.К.
	Идентификатор	Rd9def850-PoliakovAK-877507dc

(подпись)

А.К. Поляков

(расшифровка  
подписи)

## СОГЛАСОВАНО:

Руководитель  
образовательной программы

(должность, ученая степень, ученое звание)

	<b>Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»</b>	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Вишняков С.В.
	Идентификатор	R35b26072-VishniakovSV-02810d9


(подпись)

С.В. Вишняков

(расшифровка подписи)

Заведующий выпускающей  
кафедры

(должность, ученая степень, ученое звание)

	<b>Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»</b>	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Вишняков С.В.
	Идентификатор	R35b26072-VishniakovSV-02810d9

(подпись)

С.В. Вишняков

(расшифровка подписи)

## 1. ЦЕЛИ И ЗАДАЧИ ОСВОЕНИЯ ДИСЦИПЛИНЫ

**Цель освоения дисциплины:** Целью освоения дисциплины является подготовка студентов к применению современных методов проектирования цифровых систем обработки информации с использованием систем автоматизации проектирования (САПР), языков описания аппаратуры (HDL - hardware description language) и программируемых интегральных схем (ПЛИС).

### Задачи дисциплины

- Задачами освоения дисциплины являются:
- приобретение навыков проектирования цифровых систем с использованием САПР и HDL,
- освоение способов организации тестирующих программ (test bench), применяемых для функциональной верификации проектов;
- овладение принципами построения синхронных схем,
- приобретения навыков использования ПЛИС,
- изучение принципов высокоуровневого проектирования аппаратуры.

Формируемые у обучающегося **компетенции** и запланированные **результаты обучения** по дисциплине, соотнесенные с **индикаторами достижения компетенций**:

Код и наименование компетенции	Код и наименование индикатора достижения компетенции	Запланированные результаты обучения
ПК-2 Способен осуществлять проектирование вычислительных комплексов и систем, включая разработку аппаратного, программного обеспечения, системную интеграцию, ввод в эксплуатацию	ИД-1 <sub>ПК-2</sub> Демонстрирует знание принципов проектирования ЭВМ, микропроцессорных систем и вычислительных систем	знать: - - основы одного из языков описания аппаратуры (HDL); - - характеристики и организацию ПЛИС и принципы проектирования синхронных схем.  уметь: - - использовать один из языков описания аппаратуры; - - работать с одной из САПР цифровой аппаратуры.
ПК-2 Способен осуществлять проектирование вычислительных комплексов и систем, включая разработку аппаратного, программного обеспечения, системную интеграцию, ввод в эксплуатацию	ИД-3 <sub>ПК-2</sub> Осуществляет разработку аппаратных и программных средств различного назначения в соответствии с техническим заданием	знать: - - принципы высокоуровневого проектирования цифровых систем; - - принципы построения тестирующих программ (тестбенчей); - - принципы и технологию проектирования цифровых систем с использованием САПР и HDL;.  уметь: - - осуществлять функциональную верификацию проектов; - - описывать проекты комбинационных и последовательностных схем на HDL; - - использовать высокоуровневую САПР.

## **2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОБРАЗОВАТЕЛЬНОЙ ПРОГРАММЫ ВО**

Дисциплина относится к основной профессиональной образовательной программе Цифровые технологии (далее – ОПОП), направления подготовки 09.04.01 Информатика и вычислительная техника, уровень образования: высшее образование - магистратура.

Требования к входным знаниям и умениям:

- знать Основы работы на ПК ,Булевой Алгебры и двоичной арифметики,языка программирования(Паскаль или СИ)

Результаты обучения, полученные при освоении дисциплины, необходимы при выполнении выпускной квалификационной работы.

### 3. СТРУКТУРА И СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

#### 3.1 Структура дисциплины

Общая трудоемкость дисциплины составляет 3 зачетных единицы, 108 часов.

№ п/п	Разделы/темы дисциплины/формы промежуточной аттестации	Всего часов на раздел	Семестр	Распределение трудоемкости раздела (в часах) по видам учебной работы										Содержание самостоятельной работы/ методические указания	
				Контактная работа							СР				
				Лек	Лаб	Пр	Консультация		ИКР		ПА	Работа в семестре	Подготовка к аттестации /контроль		
КПР	ГК	ИККП	ТК												
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
1	Введение в современные методы проектирования цифровых систем.	12	1	4	4	-	-	-	-	-	-	4	-	<i><u>Изучение материалов литературных источников:</u></i> [1], 3-42	
1.1	Введение в современные методы проектирования цифровых систем. Основы построения синхронных схем. Основы схемотехники ПЛИС	12		4	4	-	-	-	-	-	-	4	-		
2	Введение в САПР.	12		2	4	-	-	-	-	-	-	-	6	-	<i><u>Изучение материалов литературных источников:</u></i> [1], 44-77
2.1	Введение в САПР. Подсистемы САПР. Типовой маршрут применения САПР на примере САПР фирмы XILINX. Файлы временных и конструкторских ограничений. Основные характеристики отладочных плат.. Параметры настройки синтезатора САПР формы его отчетов.	12		2	4	-	-	-	-	-	-	6	-		

3	Основы HDL. Взгляд схемотехника	8	2	-	-	-	-	-	-	-	6	-	<b><u>Изучение материалов литературных источников:</u></b> [1], 77-100
3.1	Основы HDL. Взгляд схемотехника Описание интерфейса проекта. Структурное описание архитектуры проекта...	8	2	-	-	-	-	-	-	-	6	-	
4	Основы HDL-взгляд программиста. .	10	4	4	-	-	-	-	-	-	2	-	<b><u>Изучение материалов литературных источников:</u></b> [1], 100-143 [3], 22-29
4.1	Основы HDL-взгляд программиста. ТИПЫ и виды данных, выражения. Последовательные операторы.	10	4	4	-	-	-	-	-	-	2	-	
5	Описания комбинационных узлов	14	4	4	-	-	-	-	-	-	6	-	<b><u>Изучение материалов литературных источников:</u></b> [1], 143-176 [3], 4-10
5.1	Параллельные операторы. Модели задержек сигналов. Стандартные атрибуты. Функция разрешения. Примеры описаний типовых комбинационных узлов	14	4	4	-	-	-	-	-	-	6	-	
6	Модели триггеров и регистров.	12	4	4	-	-	-	-	-	-	4	-	<b><u>Изучение материалов литературных источников:</u></b> [1], 176-181 [3], 10-19
6.1	Модели триггеров и регистров.	12	4	4	-	-	-	-	-	-	4	-	
7	Синтезабельность HDL-описаний .	14	4	4	-	-	-	-	-	-	6	-	<b><u>Изучение материалов литературных источников:</u></b> [1], 183-211
7.1	Синтезабельность HDL-описаний . Синтезабельное подмножество HDL. Модели конечных	14	4	4	-	-	-	-	-	-	6	-	

	автоматов.												
8	Основы функциональной верификации проектов	13.7	4	4	-	-	-	-	-	-	5.7	-	<i><u>Изучение материалов литературных источников:</u></i> [2], 88-116
8.1	Основы функциональной верификации проектов на базе моделирования	13.7	4	4	-	-	-	-	-	-	5.7	-	
9	Высокоуровневое проектирование .	12	4	4	-	-	-	-	-	-	4	-	<i><u>Изучение материалов литературных источников:</u></i> [3], 32-35
9.1	Высокоуровневое проектирование .IP-ядра. Шина АКЦИ. Дополнительные компоненты САПР-генераторы ядер,.Описание проектов на языке СИ и С++. Директивы синтеза	12	4	4	-	-	-	-	-	-	4	-	
	Зачет с оценкой	0.3	-	-	-	-	-	-	-	0.3	-	-	
	<b>Всего за семестр</b>	<b>108.0</b>	<b>32</b>	<b>32</b>	<b>-</b>	<b>-</b>	<b>-</b>	<b>-</b>	<b>-</b>	<b>0.3</b>	<b>43.7</b>	<b>-</b>	
	<b>Итого за семестр</b>	<b>108.0</b>	<b>32</b>	<b>32</b>	<b>-</b>	<b>-</b>	<b>-</b>	<b>-</b>	<b>-</b>	<b>0.3</b>	<b>43.7</b>	<b>-</b>	

**Примечание:** Лек – лекции; Лаб – лабораторные работы; Пр – практические занятия; КПр – аудиторные консультации по курсовым проектам/работам; ИККП – индивидуальные консультации по курсовым проектам/работам; ГК- групповые консультации по разделам дисциплины; СР – самостоятельная работа студента; ИКР – иная контактная работа; ТК – текущий контроль; ПА – промежуточная аттестация

### **3.2 Краткое содержание разделов**

#### 1. Введение в современные методы проектирования цифровых систем.

1.1. Введение в современные методы проектирования цифровых систем. Основы построения синхронных схем. Основы схемотехники ПЛИС

Введение в современные методы проектирования цифровых систем. Основы построения синхронных схем и схемотехники ПЛИС. Задачи курса, требования, перечень разделов, тематика расчетных заданий, рекомендуемая литература. темы лабораторных работ, порядок защиты работ.. Понятие синхронной схемы. Основы построения синхронных схем. преимущества применения триггеров по сравнению с защелками. Сеть разводки синхросигналов в схеме. Оценка минимальной длительности тактового периода. Пути оптимизации тактового периода(параллелизм, конвейеризация). Прием асинхронных сигналов. Связь тайм- доменов. Блок буферирования синхросигналов и блоки цифровой синхронизации . . Основы схемотехники ПЛИС. Типология ПЛИС. Базовые компоненты ПЛИС типа FPGA (CLB,LUT,BRAM,IOB,DSM) и CPLD (FB, MACROCELL, IOB). Структура трассировочных ресурсов ПЛИС. Типовые сигнальные стандарты. Теневая (конфигурационная) память ПЛИС. Перспективы развития ПЛИС..

#### 2. Введение в САПР.

2.1. Введение в САПР. Подсистемы САПР. Типовой маршрут применения САПР на примере САПР фирмы XILINX. Файлы временных и конструкторских ограничений. Основные характеристики отладочных плат.. Параметры настройки синтезатора САПР формы его отчетов.

Основные определения в области систем автоматизации проектирования (САПР)цифровых систем и языков описания аппаратуры( HDL). Типовой маршрут применения САПР на примере САПР XILINX .Создание проекта. Создание высокоуровневого HDL описания. Создание тестирующей программы. Поведенческое моделирование.Логический синтез. Задание проектных ограничений. .. Параметры настройки синтезатора САПР и основные формы его отчетов- графические формы представления функциональных(RTL) и принципиальных ( technological)схем, текстовые формы отчетов синтезатора- используемые ресурсы микросхемы ПЛИС, мощностные и временные параметры проекта. Конструкторское проектирование. Программирование ПЛИС. Физическая верификация проекта на отладочной плате.Параметры отладочных плат..

#### 3. Основы HDL.Взгляд схемотехника

3.1. Основы HDL.Взгляд схемотехника Описание интерфейса проекта. Структурное описание архитектуры проекта...

Краткий обзор основ языка VHDL. Описание интерфейса объекта проекта. Типы и виды портов. Параметры настройки. Описание архитектуры. Структурное и поведенческое описание архитектуры. Карта параметров и карта портов. Описание конфигурации. Подключение библиотек. Связывание модулей...

#### 4. Основы HDL-взгляд программиста. .

4.1. Основы HDL-взгляд программиста. ТИПЫ и виды данных, выражения. Последовательные .операторы.

проекта. Лексические элементы VHDL - имена, ограничители, литералы. Типы и виды данных.Последовательные операторы- задержки, присваивания в сигнал и в переменную, условный, выбора, цикла, утверждения, вызова процедуры..



## 5. Описания комбинационных узлов

5.1. Параллельные операторы. Модели задержек сигналов. Стандартные атрибуты. Функция разрешения. Примеры описаний типовых комбинационных узлов

5. Специфика HDL, Параллельные операторы Параллельные операторы HDL- процесса, присваивания в сигнал, утверждения, генерации, конкретизации компонента. Примеры описаний комбинационных узлов. Примеры описаний триггеров и регистров. Многозначный алфавит моделирования. Пакет std\_logic\_1164. Модели задержек сигналов. Стандартные атрибуты сигналов. Функция разрешения. Реализация тристабильных буферов и общих шин. Организация HDL библиотек моделей узлов на примере библиотеки микросхем серий KP1533-1554..

## 6. Модели триггеров и регистров.

6.1. Модели триггеров и регистров.

Модели триггеров, регистров и сложных узлов типа микросхем памяти.

## 7. Синтезабельность HDL-описаний .

7.1. Синтезабельность HDL-описаний . Синтезабельное подмножество HDL. Модели конечных автоматов.

Понятие синтезабельности HDL описаний. Типовые синтезабельные образы комбинационных и последовательностных узлов. Синтезабельное подмножество HDL. Типовые ошибки проектировщиков. Понятие конечного автомата. Типы автоматов и способы их описания. Модели конечных автоматов на HDL. Типовые структуры их описаний . Методы кодирования состояний автоматов.

## 8. Основы функциональной верификации проектов

8.1. Основы функциональной верификации проектов на базе моделирования

Основы функциональной верификации проектов на базе моделирования. Критерии полноты функционального тестирования. Методы оценки полноты покрытия строк, переключений и т.п. Верификация на базе применения утверждений(assertions). Типовые компоненты тестирующих программ- генератор тактов, генератор стимулов, конкретизация тестируемого объекта проекта, компаратор ожидаемых и наблюдаемых значений выходов тестируемого объекта..

## 9. Высокоуровневое проектирование .

9.1. Высокоуровневое проектирование .IP-ядра. Шина АКСИ. Дополнительные компоненты САПР- генераторы ядер,.Описание проектов на языке СИ и С++. Директивы синтеза

Понятия IP-ядер и внутрикристалльной шины АКСИ(AXI). Типы IP-ядер. Разновидности шины АКСИ. САПР VIVADO-HLS. Основные функции и этапы проектирования. Директивы. Библиотеки. Пример высокоуровневого проектирования арифметического устройства или фильтра на языке Си. Обзор курса, перспективы развития современных САПР и языков описания аппаратуры. тенденции их развития.VHDL- 2008,VERILOG и SYSTEM VERILOG- основные отличия..

**3.3. Темы практических занятий**  
не предусмотрено

### **3.4. Темы лабораторных работ**

1. Знакомство с САПР ПЛИС и отладочной платой с ПЛИС;
2. Проектирование узла с использованием библиотек моделей ИС.;
3. Проектирование узла на базе функциональных HDL-описаний;
4. . Проектирование блока памяти на ПЛИС;
5. Проектирование конечного автомата;
6. Проектирование устройств с использованием АЙПИ-ЯДЕР;
7. . Высокоуровневое проектирование устройств;
8. Индивидуальная итоговая работа по выбору.

### **3.5 Консультации**

### **3.6 Тематика курсовых проектов/курсовых работ**

Курсовой проект/ работа не предусмотрены

### 3.7. Соответствие разделов дисциплины и формируемых в них компетенций

Запланированные результаты обучения по дисциплине (в соответствии с разделом 1)	Коды индикаторов	Номер раздела дисциплины (в соответствии с п.3.1)									Оценочное средство (тип и наименование)	
		1	2	3	4	5	6	7	8	9		
<b>Знать:</b>												
- характеристики и организацию ПЛИС и принципы проектирования синхронных схем	ИД-1ПК-2	+										Лабораторная работа/Лабораторная работа. Знакомство с САПР ПЛИС и отладочной платой с ПЛИС .
- основы одного из языков описания аппаратуры (HDL)	ИД-1ПК-2		+									Лабораторная работа/Лабораторная работа. Знакомство с САПР ПЛИС и отладочной платой с ПЛИС .  Лабораторная работа/Лабораторная работа. Проектирование узла с использованием библиотек моделей .(4 часа).
- принципы и технологию проектирования цифровых систем с использованием САПР и HDL;	ИД-3ПК-2			+								Лабораторная работа/Лабораторная работа. Проектирование узла с использованием библиотек моделей .(4 часа).
- принципы построения тестирующих программ (тестбенчей)	ИД-3ПК-2					+						Лабораторная работа/. Проектирование узла на базе функциональных HDL-описаний
- принципы высокоуровневого проектирования цифровых систем	ИД-3ПК-2				+							Лабораторная работа/. Проектирование узла на базе функциональных HDL-описаний
<b>Уметь:</b>												
-- работать с одной из САПР цифровой аппаратуры	ИД-1ПК-2						+					Лабораторная работа/Проектирование блока памяти на ПЛИС.
- использовать один из языков описания аппаратуры	ИД-1ПК-2							+				Лабораторная работа/Проектирование конечного автомата
- использовать высокоуровневую САПР	ИД-3ПК-2									+		Лабораторная работа/6 Проектирование устройств с использованием АЙПИ-ЯДЕР.(4 часа).
- описывать проекты комбинационных и последовательностных схем на HDL	ИД-3ПК-2										+	Лабораторная работа/Высокоуровневое проектирование устройств (4 часа).
- осуществлять функциональную	ИД-3ПК-2										+	Лабораторная работа/Индивидуальная

верификацию проектов											итоговая работа по выбору
----------------------	--	--	--	--	--	--	--	--	--	--	---------------------------

#### **4. КОМПЕТЕНТНОСТНО-ОРИЕНТИРОВАННЫЕ ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ КОНТРОЛЯ ОСВОЕНИЯ РЕЗУЛЬТАТОВ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ (ТЕКУЩИЙ КОНТРОЛЬ УСПЕВАЕМОСТИ, ПРОМЕЖУТОЧНАЯ АТТЕСТАЦИЯ ПО ДИСЦИПЛИНЕ)**

##### **4.1. Текущий контроль успеваемости**

###### **1 семестр**

Форма реализации: Выполнение задания

1. Проектирование блока памяти на ПЛИС. (Лабораторная работа)

Форма реализации: Защита задания

1. Лабораторная работа. Знакомство с САПР ПЛИС и отладочной платой с ПЛИС. (Лабораторная работа)
2. Лабораторная работа. Проектирование узла с использованием библиотек моделей. (4 часа). (Лабораторная работа)

Форма реализации: Компьютерное задание

1. Проектирование узла на базе функциональных HDL-описаний (Лабораторная работа)
2. Проектирование устройств с использованием АЙПИ-ЯДЕР. (4 часа). (Лабораторная работа)
3. Высокоуровневое проектирование устройств (4 часа). (Лабораторная работа)
4. Индивидуальная итоговая работа по выбору (Лабораторная работа)
5. Проектирование конечного автомата (Лабораторная работа)

Балльно-рейтинговая структура дисциплины является приложением А.

##### **4.2 Промежуточная аттестация по дисциплине**

*Зачет с оценкой (Семестр №1)*

Среднее арифметическое по совокупности результатов текущего контроля успеваемости

**Примечание:** Оценочные материалы по дисциплине приведены в фонде оценочных материалов ОПОП.

#### **5. УЧЕБНО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ**

##### **5.1 Печатные и электронные издания:**

1. Поляков, А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры на ПЛИС : учебное пособие для вузов по направлению 230100 "Информатика и вычислительная техника" / А. К. Поляков, Нац. исслед. ун-т "МЭИ" . – М. : Издательский дом МЭИ, 2012 . – 220 с. - ISBN 978-5-383-00773-0 .  
[http://elibr.mpei.ru/action.php?kt\\_path\\_info=ktcore.SecViewPlugin.actions.document&fDocumentId=4269](http://elibr.mpei.ru/action.php?kt_path_info=ktcore.SecViewPlugin.actions.document&fDocumentId=4269);
2. А. К. Поляков- "Языки VHDL и VERILOG в проектировании цифровой аппаратуры", Издательство: "СОЛОН-ПРЕСС", Москва, 2009 - (314 с.)  
<https://biblioclub.ru/index.php?page=book&id=117668>;
3. Поляков, А. К. Языки описания цифровой аппаратуры : методические указания к курсовому проекту по курсу "Современные методы проектирования цифровых систем" по направлению "Информатика и вычислительная техника" / А. К. Поляков, Нац. исслед. ун-т "МЭИ" (НИУ"МЭИ") . – М. : Изд-во МЭИ, 2019 . – 36 с.  
[http://elibr.mpei.ru/action.php?kt\\_path\\_info=ktcore.SecViewPlugin.actions.document&fDocumentId=10987](http://elibr.mpei.ru/action.php?kt_path_info=ktcore.SecViewPlugin.actions.document&fDocumentId=10987).

## 5.2 Лицензионное и свободно распространяемое программное обеспечение:

1. СДО "Прометей";
2. Office;
3. Windows;
4. Майнд Видеоконференции;
5. Vivado Design Suite HL WebPACK™ Edition,.

## 5.3 Интернет-ресурсы, включая профессиональные базы данных и информационно-справочные системы:

1. ЭБС Лань - <https://e.lanbook.com/>
2. ЭБС "Университетская библиотека онлайн" - [http://biblioclub.ru/index.php?page=main\\_ub\\_red](http://biblioclub.ru/index.php?page=main_ub_red)
3. Научная электронная библиотека - <https://elibrary.ru/>
4. База данных Web of Science - <http://webofscience.com/>
5. Национальная электронная библиотека - <https://rusneb.ru/>
6. ЭБС "Консультант студента" - <http://www.studentlibrary.ru/>
7. База данных Association for Computing Machinery Digital Library - <https://dl.acm.org/about/content>
8. Электронная библиотека МЭИ (ЭБ МЭИ) - <http://elib.mpei.ru/login.php>
9. База открытых данных Министерства труда и социальной защиты РФ - <https://rosmintrud.ru/opendata>
10. База открытых данных Министерства экономического развития РФ - <http://www.economy.gov.ru>
11. База открытых данных Росфинмониторинга - <http://www.fedsfm.ru/opendata>
12. Электронная открытая база данных "Polpred.com Обзор СМИ" - <https://www.polpred.com>

## 6. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

Тип помещения	Номер аудитории, наименование	Оснащение
Учебные аудитории для проведения лекционных занятий и текущего контроля	Е-501, Учебная аудитория каф. "ВМСС"	стол преподавателя, стол, стул, мультимедийный проектор, экран, доска маркерная, компьютер персональный
	Ж-120, Машинный зал ИВЦ	сервер, кондиционер
Учебные аудитории для проведения лабораторных занятий	Е-522/4, Компьютерный класс №2	стол преподавателя, стол компьютерный, стул, мультимедийный проектор, экран, доска маркерная, компьютер персональный
	Ж-120, Машинный зал ИВЦ	сервер, кондиционер
Учебные аудитории для проведения промежуточной аттестации	Е-522/4, Компьютерный класс №2	стол преподавателя, стол компьютерный, стул, мультимедийный проектор, экран, доска маркерная, компьютер персональный
	Ж-120, Машинный зал ИВЦ	сервер, кондиционер
Помещения для самостоятельной работы	Е-522/3, Компьютерный класс №1	стол преподавателя, стол компьютерный, стул, доска маркерная, компьютер персональный
	Е-522/4,	стол преподавателя, стол

	Компьютерный класс №2	компьютерный, стул, мультимедийный проектор, экран, доска маркерная, компьютер персональный
	Е-522/6, Компьютерный класс №3	стол преподавателя, стол компьютерный, стул, доска маркерная, компьютер персональный
	Е-522/9, Компьютерный класс №4	стол преподавателя, стол компьютерный, стул, мультимедийный проектор, экран, доска маркерная, компьютер персональный
Помещения для консультирования	Е-402, Кабинет сотрудников "ВМСС"	
	Е-504а, Кабинет сотрудников	
Помещения для хранения оборудования и учебного инвентаря	Е-403, Склад	стол для работы с документами, шкаф, шкаф для документов

## БАЛЛЬНО-РЕЙТИНГОВАЯ СТРУКТУРА ДИСЦИПЛИНЫ

### Современные методы проектирования цифровых систем

(название дисциплины)

#### 1 семестр

**Перечень контрольных мероприятий текущего контроля успеваемости по дисциплине:**

- КМ-1 Лабораторная работа. Знакомство с САПР ПЛИС и отладочной платой с ПЛИС .  
(Лабораторная работа)
- КМ-2 Лабораторная работа. Проектирование узла с использованием библиотек моделей .(4 часа).  
(Лабораторная работа)
- КМ-3 . Проектирование узла на базе функциональных HDL-описаний (Лабораторная работа)
- КМ-4 Проектирование блока памяти на ПЛИС. (Лабораторная работа)
- КМ-5 Проектирование конечного автомата (Лабораторная работа)
- КМ-6 6 Проектирование устройств с использованием АЙПИ-ЯДЕР.(4 часа). (Лабораторная работа)
- КМ-7 Высокоуровневое проектирование устройств (4 часа). (Лабораторная работа)
- КМ-8 Индивидуальная итоговая работа по выбору (Лабораторная работа)

**Вид промежуточной аттестации – Зачет с оценкой.**

Номер раздела	Раздел дисциплины	Индекс КМ:	КМ-1	КМ-2	КМ-3	КМ-4	КМ-5	КМ-6	КМ-7	КМ-8
		Неделя КМ:	4	8	10	12	14	14	15	16
1	Введение в современные методы проектирования цифровых систем.									
1.1	Введение в современные методы проектирования цифровых систем. Основы построения синхронных схем. Основы схемотехники ПЛИС		+							
2	Введение в САПР.									
2.1	Введение в САПР. Подсистемы САПР. Типовой маршрут применения САПР на примере САПР фирмы XILINX. Файлы временных и конструкторских ограничений. Основные характеристики отладочных плат.. Параметры настройки синтезатора САПР формы его отчетов.		+	+						
3	Основы HDL. Взгляд схемотехника									
3.1	Основы HDL. Взгляд схемотехника Описание			+						



	интерфейса проекта. Структурное описание архитектуры проекта...								
4	Основы HDL-взгляд программиста. .								
4.1	Основы HDL-взгляд программиста. ТИПЫ и виды данных, выражения. Последовательные операторы.			+					
5	Описания комбинационных узлов								
5.1	Параллельные операторы. Модели задержек сигналов. Стандартные атрибуты. Функция разрешения. Примеры описаний типовых комбинационных узлов			+					
6	Модели триггеров и регистров.								
6.1	Модели триггеров и регистров.				+				
7	Синтезабельность HDL-описаний .								
7.1	Синтезабельность HDL-описаний . Синтезабельное подмножество HDL. Модели конечных автоматов.					+			
8	Основы функциональной верификации проектов								
8.1	Основы функциональной верификации проектов на базе моделирования						+		
9	Высокоуровневое проектирование .								
9.1	Высокоуровневое проектирование .IP-ядра. Шина АКСИ. Дополнительные компоненты САПР- генераторы ядер,.Описание проектов на языке СИ и С++. Директивы синтеза							+	+
Вес КМ, %:		10	10	15	10	15	10	15	15