

Министерство науки и высшего образования РФ
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Национальный исследовательский университет «МЭИ»

Направление подготовки/специальность: 11.03.04 Электроника и нанoeлектроника

Наименование образовательной программы: Микроэлектроника и твердотельная электроника

Уровень образования: высшее образование - бакалавриат

Форма обучения: Очная

Рабочая программа дисциплины
ОСНОВЫ ЦИФРОВОГО СИНТЕЗА

Блок:	Блок 1 «Дисциплины (модули)»
Часть образовательной программы:	Часть, формируемая участниками образовательных отношений
№ дисциплины по учебному плану:	Б1.Ч.01.10
Трудоемкость в зачетных единицах:	7 семестр - 4;
Часов (всего) по учебному плану:	144 часа
Лекции	не предусмотрено учебным планом
Практические занятия	7 семестр - 64 часа;
Лабораторные работы	не предусмотрено учебным планом
Консультации	проводится в рамках часов аудиторных занятий
Самостоятельная работа	7 семестр - 79,7 часа;
в том числе на КП/КР	не предусмотрено учебным планом
Иная контактная работа	проводится в рамках часов аудиторных занятий
включая: Домашнее задание Контрольная работа Индивидуальный проект	
Промежуточная аттестация:	
Зачет с оценкой	7 семестр - 0,3 часа;

Москва 2021

ПРОГРАММУ СОСТАВИЛ:

Преподаватель

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Баринов А.Д.
	Идентификатор	Ra98e1318-BarinovAD-f138ec4f

А.Д. Баринов

СОГЛАСОВАНО:

Руководитель
образовательной программы

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Баринов А.Д.
	Идентификатор	Ra98e1318-BarinovAD-f138ec4f

А.Д. Баринов

Заведующий выпускающей
кафедрой

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Зезин Д.А.
	Идентификатор	Re7522a00-ZezinDA-ba8dbd73

Д.А. Зезин

1. ЦЕЛИ И ЗАДАЧИ ОСВОЕНИЯ ДИСЦИПЛИНЫ

Цель освоения дисциплины: состоит в изучении языка описания аппаратуры, применяемого в проектировании цифровых интегральных схем.

Задачи дисциплины

- освоить основные компьютерные технологии, применяемые при проектировании цифровых интегральных схем;
- изучить на практике особенности применения отдельных программных продуктов;
- изучить язык описания аппаратуры высокого уровня - VerilogHDL;
- сформировать навык написания тестовых стендов (testbench);
- сформировать навык верификации HDL-описания проекта;
- изучить работу основных функциональных узлов комбинационной и последовательностной логики.

Формируемые у обучающегося **компетенции** и запланированные **результаты обучения** по дисциплине, соотнесенные с **индикаторами достижения компетенций**:

Код и наименование компетенции	Код и наименование индикатора достижения компетенции	Запланированные результаты обучения
ПК-2 Способен участвовать в проектировании интегральных схем	ИД-1 _{ПК-2} Использует средства автоматизации схемотехнического проектирования	<p>знать:</p> <ul style="list-style-type: none">- принцип проектирования цифровых схем с использованием конечных автоматов;- виды и принцип работы шифраторов и дешифраторов;- виды и принцип работы триггеров;- виды и принцип работы регистров и счётчиков;- виды и принцип работы мультиплексоров и демультимплексоров. <p>уметь:</p> <ul style="list-style-type: none">- формировать поведенческое HDL-описание, производить RTL-синтез и моделировать шифраторы и дешифраторы;- формировать поведенческое HDL-описание, производить RTL-синтез и моделировать регистры и счётчики;- формировать поведенческое HDL-описание, производить RTL-синтез и моделировать мультиплексоры и демультимплексоры;- формировать и моделировать структурное описание схемы;- применять конечные автоматы для проектирования цифровых схем.

2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОБРАЗОВАТЕЛЬНОЙ ПРОГРАММЫ ВО

Дисциплина относится к основной профессиональной образовательной программе Микроэлектроника и твердотельная электроника (далее – ОПОП), направления подготовки

11.03.04 Электроника и наноэлектроника, уровень образования: высшее образование - бакалавриат.

Требования к входным знаниям и умениям:

- знать Основы булевой алгебры
- знать Основные цифровые примитивы: "И", "ИЛИ", "НЕ"
- знать Основные виды триггеров и их работу: RS-, D-, JK-, T-.
- уметь Проектировать логическую схему на основе логического выражения

Результаты обучения, полученные при освоении дисциплины, необходимы при выполнении выпускной квалификационной работы.

3. СТРУКТУРА И СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

3.1 Структура дисциплины

Общая трудоемкость дисциплины составляет 4 зачетных единицы, 144 часа.

№ п/п	Разделы/темы дисциплины/формы промежуточной аттестации	Всего часов на раздел	Семестр	Распределение трудоемкости раздела (в часах) по видам учебной работы										Содержание самостоятельной работы/ методические указания	
				Контактная работа							СР				
				Лек	Лаб	Пр	Консультация		ИКР		ПА	Работа в семестре	Подготовка к аттестации /контроль		
КПР	ГК	ИККП	ТК												
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
1	Проектирование цифровых интегральных схем	4	7	-	-	2	-	-	-	-	-	2	-	<p><u>Самостоятельное изучение теоретического материала:</u> Самостоятельная подготовка по материалам раздела согласно методическим рекомендациям</p> <p><u>Подготовка расчетных заданий:</u> Выполнение расчётного задания</p> <p><u>Изучение материалов литературных источников:</u> [1], с. 31-56 [2], с. 1-1 - 1-46 [3], с. 1-1 - 1-46</p>	
1.1	Концепции проектирования цифровых интегральных схем	4		-	-	2	-	-	-	-	-	2	-		
2	Синтез логических схем	4		-	-	2	-	-	-	-	-	2	-		<p><u>Подготовка расчетных заданий:</u> Выполнение расчётного задания</p> <p><u>Самостоятельное изучение теоретического материала:</u> Самостоятельная подготовка по материалам раздела согласно методическим рекомендациям</p> <p><u>Изучение материалов литературных источников:</u> [1], с. 221-290</p>
2.1	Задача синтеза комбинационных и последовательностных логических схем и основные этапы её решения	4		-	-	2	-	-	-	-	-	2	-		
3	Основные узлы цифровых интегральных схем	118		-	-	60	-	-	-	-	-	-	58		-
3.1	Комбинационная и последовательностная логики	8	-	-	4	-	-	-	-	-	4	-			

3.2	Мультиплексоры и демультиплексоры. Шифраторы и дешифраторы. Преобразователи кодов	36	-	-	18	-	-	-	-	-	18	-	узлы цифровых интегральных схем" подготовка к выполнению заданий на практических занятиях <u>Самостоятельное изучение теоретического материала:</u> Изучение дополнительного материала по разделу "Основные узлы цифровых интегральных схем" <u>Изучение материалов литературных источников:</u> [1], с. 125-131, 150-160, 166-185 [2], с. 3-1 - 9-1 [3], с. 3-1 - 9-1
3.3	Регистры и счётчики	38	-	-	20	-	-	-	-	-	18	-	
3.4	Конечные автоматы	36	-	-	18	-	-	-	-	-	18	-	
	Зачет с оценкой	18.0	-	-	-	-	-	-	-	0.3	-	17.7	
	Всего за семестр	144.0	-	-	64	-	-	-	-	0.3	62	17.7	
	Итого за семестр	144.0	-	-	64	-	-	-	-	0.3	79.7		

Примечание: Лек – лекции; Лаб – лабораторные работы; Пр – практические занятия; КПр – аудиторные консультации по курсовым проектам/работам; ИККП – индивидуальные консультации по курсовым проектам/работам; ГК- групповые консультации по разделам дисциплины; СР – самостоятельная работа студента; ИКР – иная контактная работа; ТК – текущий контроль; ПА – промежуточная аттестация

3.2 Краткое содержание разделов

1. Проектирование цифровых интегральных схем

1.1. Концепции проектирования цифровых интегральных схем

Классификация СБИС. Восходящее и нисходящее проектирование. СБИС программируемой логики. Специализированные интегральные схемы – достоинства и недостатки. Стратегии проектирования. Средства описания проекта СБИС в системах автоматизированного проектирования. Иерархия проекта. Направления проектирования СБИС: поведенческая область, структурная область, топологическая область. Структурная декомпозиция проекта. Регуляризация проекта..

2. Синтез логических схем

2.1. Задача синтеза комбинационных и последовательностных логических схем и основные этапы её решения

Синтез цифровых устройств эвристический и формальный. Высокоуровневый синтез. Логический синтез. Булевы функции. Формы представления. Базис синтеза. Оптимизация двухуровневых представлений. Оптимизация многоуровневых представлений. Технологическое отображение. Синтез по описанию на HDL и технологическое отображение схемы в заданный базис..

3. Основные узлы цифровых интегральных схем

3.1. Комбинационная и последовательностная логики

Языки низкого (Altera HDL) и высокого уровней (VHDL, Verilog). Основы языка Verilog. Уровни абстракций. Объекты проекта. Архитектурные тела. Операторы блоков. Процессы. Классы объектов. Типы данных. Операции. Операторы управления. Моделирование параллельности. Моделирование комбинационной логики. Моделирование последовательной логики. Моделирование на уровне ИС. Определение и общие характеристики модели уровня ИС. Структуры моделей уровня ИС. Моделирование задержек. Графы моделей процессов. Временное моделирование. Операторы контроля временных параметров. Моделирование внутрисистемных соединений. Мультиплексирование сигналов. Многозначная логика..

3.2. Мультиплексоры и демультиплексоры. Шифраторы и дешифраторы. Преобразователи кодов

Мультиплексоры. Полный и неполный мультиплексор. Селектор. Демультиплексоры. Шифратор. Приоритетный шифратор. Дешифратор. Преобразователи кодов. Код Грэя. Код Джонсона. Унарный код.

3.3. Регистры и счётчики

Регистры памяти. Сдвиги и сдвиговые регистры. Счётчики суммирующий, вычитающий, с заданным коэффициентом счёта. Делители частоты. Широтно-импульсный модулятор. Регистры сдвига с линейной обратной связью. Генераторы псевдослучайной последовательности Фибоначчи и Галуа.

3.4. Конечные автоматы

Понятие конечного автомата. Автоматы Мили и Мура. Состояния автомата. Таблицы переходов и выходов. Графы переходов.

3.3. Темы практических занятий

1. Простая комбинационная логика. Непрерывное присваивание;
2. Комбинационные схемы на уровне регистровых передач. Блокирующее присваивание;
3. Последовательностная логика. Неблокирующее присваивание. Параметризация;
4. Автоматы конечных состояний.

3.4. Темы лабораторных работ не предусмотрено

3.5 Консультации

3.6 Тематика курсовых проектов/курсовых работ Курсовой проект/ работа не предусмотрены

3.7. Соответствие разделов дисциплины и формируемых в них компетенций

Запланированные результаты обучения по дисциплине (в соответствии с разделом 1)	Коды индикаторов	Номер раздела дисциплины (в соответствии с п.3.1)			Оценочное средство (тип и наименование)
		1	2	3	
Знать:					
виды и принцип работы мультиплексоров и демультимплексоров	ИД-1 _{ПК-2}			+	Домашнее задание/Модели комбинационной логики уровня регистровых передач
виды и принцип работы регистров и счётчиков	ИД-1 _{ПК-2}			+	Домашнее задание/Модели последовательностных схем уровня регистровых передач
виды и принцип работы триггеров	ИД-1 _{ПК-2}			+	Домашнее задание/Структурное описание схем
виды и принцип работы шифраторов и дешифраторов	ИД-1 _{ПК-2}			+	Контрольная работа/Контрольная работа "Базовые конструкции языка SystemVerilog"
принцип проектирования цифровых схем с использованием конечных автоматов	ИД-1 _{ПК-2}			+	Домашнее задание/Конечные автоматы
Уметь:					
применять конечные автоматы для проектирования цифровых схем	ИД-1 _{ПК-2}			+	Домашнее задание/Конечные автоматы
формировать и моделировать структурное описание схемы	ИД-1 _{ПК-2}	+	+		Контрольная работа/Контрольная работа "Базовые конструкции языка SystemVerilog" Индивидуальный проект/Проектирование HDL-описания компонента интегральной схемы Домашнее задание/Структурное описание схем
формировать поведенческое HDL-описание, производить RTL-синтез и моделировать мультиплексоры и демультимплексоры	ИД-1 _{ПК-2}			+	Домашнее задание/Модели комбинационной логики уровня регистровых передач

формировать поведенческое HDL-описание, производить RTL-синтез и моделировать регистры и счётчики	ИД-1ПК-2			+	Домашнее задание/Модели последовательностных схем уровня регистровых передач
формировать поведенческое HDL-описание, производить RTL-синтез и моделировать шифраторы и дешифраторы	ИД-1ПК-2			+	Домашнее задание/Модели комбинационной логики уровня регистровых передач

4. КОМПЕТЕНТНОСТНО-ОРИЕНТИРОВАННЫЕ ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ КОНТРОЛЯ ОСВОЕНИЯ РЕЗУЛЬТАТОВ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ (ТЕКУЩИЙ КОНТРОЛЬ УСПЕВАЕМОСТИ, ПРОМЕЖУТОЧНАЯ АТТЕСТАЦИЯ ПО ДИСЦИПЛИНЕ)

4.1. Текущий контроль успеваемости

7 семестр

Форма реализации: Компьютерное задание

1. Конечные автоматы (Домашнее задание)
2. Модели комбинационной логики уровня регистровых передач (Домашнее задание)
3. Модели последовательностных схем уровня регистровых передач (Домашнее задание)
4. Проектирование HDL-описания компонента интегральной схемы (Индивидуальный проект)
5. Структурное описание схем (Домашнее задание)

Форма реализации: Письменная работа

1. Контрольная работа "Базовые конструкции языка SystemVerilog" (Контрольная работа)

Балльно-рейтинговая структура дисциплины является приложением А.

4.2 Промежуточная аттестация по дисциплине

Зачет с оценкой (Семестр №7)

Согласно действующему Положению о БАРС

В диплом выставляется оценка за 7 семестр.

Примечание: Оценочные материалы по дисциплине приведены в фонде оценочных материалов ОПОП.

5. УЧЕБНО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

5.1 Печатные и электронные издания:

1. Харрис, Дэвид М. Цифровая схемотехника и архитектура компьютера = Digital Design and Computer Architecture : [цветное издание] : пер. с англ. / Дэвид М. Харрис, Сара Л. Харрис . – 2-е изд., испр. – Москва : ДМК Пресс, 2018 . – 792 с. - ISBN 978-5-97060-570-7 .;
2. Цифровой синтез: практический курс / А. А. Антонов, А. В. Барабанов, Ч. Т. Данчек, [и др.], Московский ин-т электроники и математики (МИЭМ) НИУ ВШЭ ; общ. ред. А. Ю. Романов, Ю. В. Панчул . – Москва : ДМК Пресс, 2020 . – 556 с. - Авторы указаны на обороте тит. л. - ISBN 978-5-97060-850-0 .;
3. Романов А. Ю., Панчул Ю. В.- "Цифровой синтез. Практический курс", Издательство: "ДМК Пресс", Москва, 2020 - (556 с.)
<https://e.lanbook.com/book/179492>.

5.2 Лицензионное и свободно распространяемое программное обеспечение:

1. Office / Российский пакет офисных программ;
2. Windows / Операционная система семейства Linux;
3. Quartus;
4. ModelSim.

5.3 Интернет-ресурсы, включая профессиональные базы данных и информационно-справочные системы:

1. ЭБС Лань - <https://e.lanbook.com/>
2. ЭБС "Университетская библиотека онлайн" - http://biblioclub.ru/index.php?page=main_ub_red
3. Научная электронная библиотека - <https://elibrary.ru/>
4. Электронная библиотека МЭИ (ЭБ МЭИ) - <http://elib.mpei.ru/login.php>

6. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

Тип помещения	Номер аудитории, наименование	Оснащение
Учебные аудитории для проведения лекционных занятий и текущего контроля	К-105/1, Компьютерный класс	стол, стол для оргтехники, стол компьютерный, стул, доска меловая, мультимедийный проектор, компьютер персональный, кондиционер
Учебные аудитории для проведения практических занятий, КР и КП	К-105/1, Компьютерный класс	стол, стол для оргтехники, стол компьютерный, стул, доска меловая, мультимедийный проектор, компьютер персональный, кондиционер
Учебные аудитории для проведения промежуточной аттестации	К-105/1, Компьютерный класс	стол, стол для оргтехники, стол компьютерный, стул, доска меловая, мультимедийный проектор, компьютер персональный, кондиционер
Помещения для самостоятельной работы	НТБ-302, Читальный зал отдела обслуживания учебной литературой	стул, стол письменный, компьютерная сеть с выходом в Интернет, компьютер персональный
Помещения для консультирования	К-109/2, Кабинет сотрудников каф. "ЭиН"	стол, стул, шкаф для документов, шкаф для хранения инвентаря, стол письменный, дипломные и курсовые работы студентов
Помещения для хранения оборудования и учебного инвентаря	К-115, Склад каф. "ЭиН"	стеллаж, инвентарь учебный

БАЛЛЬНО-РЕЙТИНГОВАЯ СТРУКТУРА ДИСЦИПЛИНЫ

Основы цифрового синтеза

(название дисциплины)

7 семестр

Перечень контрольных мероприятий текущего контроля успеваемости по дисциплине:

- КМ-1 Структурное описание схем (Домашнее задание)
 КМ-2 Модели комбинационной логики уровня регистровых передач (Домашнее задание)
 КМ-3 Контрольная работа "Базовые конструкции языка SystemVerilog" (Контрольная работа)
 КМ-4 Модели последовательностных схем уровня регистровых передач (Домашнее задание)
 КМ-5 Конечные автоматы (Домашнее задание)
 КМ-6 Проектирование HDL-описания компонента интегральной схемы (Индивидуальный проект)

Вид промежуточной аттестации – Зачет с оценкой.

Номер раздела	Раздел дисциплины	Индекс КМ:	КМ-1	КМ-2	КМ-3	КМ-4	КМ-5	КМ-6
		Неделя КМ:	4	6	7	11	14	16
1	Проектирование цифровых интегральных схем							
1.1	Концепции проектирования цифровых интегральных схем		+		+			+
2	Синтез логических схем							
2.1	Задача синтеза комбинационных и последовательностных логических схем и основные этапы её решения		+		+			+
3	Основные узлы цифровых интегральных схем							
3.1	Комбинационная и последовательностная логики		+					
3.2	Мультиплексоры и демультимплексоры. Шифраторы и дешифраторы. Преобразователи кодов			+	+			
3.3	Регистры и счётчики					+		
3.4	Конечные автоматы						+	
Вес КМ, %:			10	15	15	15	20	25