

**Министерство науки и высшего образования РФ**  
**Федеральное государственное бюджетное образовательное учреждение**  
**высшего образования**  
**«Национальный исследовательский университет «МЭИ»**

---

Направление подготовки/специальность: 11.03.04 Электроника и нанoeлектроника

Наименование образовательной программы: Микроэлектроника и твердотельная электроника

Уровень образования: высшее образование - бакалавриат

Форма обучения: Очная

**Рабочая программа дисциплины**  
**ПРОЕКТИРОВАНИЕ ТОПОЛОГИИ КОМПОНЕНТОВ**  
**ИНТЕГРАЛЬНЫХ СХЕМ**

<b>Блок:</b>	Блок 1 «Дисциплины (модули)»
<b>Часть образовательной программы:</b>	Часть, формируемая участниками образовательных отношений
<b>№ дисциплины по учебному плану:</b>	Б1.Ч.01.14
<b>Трудоемкость в зачетных единицах:</b>	8 семестр - 5;
<b>Часов (всего) по учебному плану:</b>	180 часов
<b>Лекции</b>	не предусмотрено учебным планом
<b>Практические занятия</b>	8 семестр - 56 часа;
<b>Лабораторные работы</b>	не предусмотрено учебным планом
<b>Консультации</b>	проводится в рамках часов аудиторных занятий
<b>Самостоятельная работа</b>	8 семестр - 123,7 часа;
<b>в том числе на КП/КР</b>	не предусмотрено учебным планом
<b>Иная контактная работа</b>	проводится в рамках часов аудиторных занятий
<b>включая:</b> <b>Проверочная работа</b> <b>Индивидуальный проект</b>	
<b>Промежуточная аттестация:</b>	
<b>Зачет с оценкой</b>	8 семестр - 0,3 часа;

**Москва 2025**

**ПРОГРАММУ СОСТАВИЛ:**

Преподаватель

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Баринов А.Д.
	Идентификатор	Ra98e1318-BarinovAD-f138ec4f

А.Д. Баринов

**СОГЛАСОВАНО:**

Руководитель  
образовательной программы

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Баринов А.Д.
	Идентификатор	Ra98e1318-BarinovAD-f138ec4f

А.Д. Баринов

Заведующий выпускающей  
кафедрой

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Зезин Д.А.
	Идентификатор	Re7522a00-ZezinDA-ba8dbd73

Д.А. Зезин

## 1. ЦЕЛИ И ЗАДАЧИ ОСВОЕНИЯ ДИСЦИПЛИНЫ

**Цель освоения дисциплины:** заключается в формировании практических навыков проектирования топологии компонентов интегральных схем, а также её верификации.

### Задачи дисциплины

- освоить навыки проектирования топологии цифровых примитивов;
- освоить навык верификации топологии (DRC, LVS);
- освоить навык определения параметров модели цифрового вентиля из экстрагированных SPICE-параметров транзисторов.

Формируемые у обучающегося **компетенции** и запланированные **результаты обучения** по дисциплине, соотнесенные с **индикаторами достижения компетенций**:

Код и наименование компетенции	Код и наименование индикатора достижения компетенции	Запланированные результаты обучения
ПК-1 Способен участвовать в проектировании интегральных схем	ИД-1 <sub>ПК-1</sub> Использует средства автоматизации схемотехнического проектирования	знать: - основные этапы проектирования интегральных схем.  уметь: - производить экстракцию SPICE-параметров из топологии; - производить верификацию топологии (DRC и LVS анализы); - проектировать топологию цифрового вентиля; - производить автоматизированную разводку кристалла.

## 2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОБРАЗОВАТЕЛЬНОЙ ПРОГРАММЫ ВО

Дисциплина относится к основной профессиональной образовательной программе Микроэлектроника и твердотельная электроника (далее – ОПОП), направления подготовки 11.03.04 Электроника и наноэлектроника, уровень образования: высшее образование - бакалавриат.

Требования к входным знаниям и умениям:

- знать этапы проектирования интегральных схем
- знать технологические этапы формирования КМОП-структуры
- знать параметры SPICE-модели МОП-транзистора
- знать маршрут проектирования интегральных схем
- уметь моделировать электрические схемы в SPICE-подобных программах

Результаты обучения, полученные при освоении дисциплины, необходимы при выполнении выпускной квалификационной работы.

### 3. СТРУКТУРА И СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

#### 3.1 Структура дисциплины

Общая трудоемкость дисциплины составляет 5 зачетных единиц, 180 часов.

№ п/п	Разделы/темы дисциплины/формы промежуточной аттестации	Всего часов на раздел	Семестр	Распределение трудоемкости раздела (в часах) по видам учебной работы										Содержание самостоятельной работы/ методические указания	
				Контактная работа							СР				
				Лек	Лаб	Пр	Консультация		ИКР		ПА	Работа в семестре	Подготовка к аттестации /контроль		
КПР	ГК	ИККП	ТК												
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
1	Этапы проектирования интегральных схем	14	8	-	-	2	-	-	-	-	-	12	-	<p><b><u>Подготовка к практическим занятиям:</u></b> Изучение дополнительного материала по разделу "Этапы проектирования интегральных схем"</p> <p><b><u>Самостоятельное изучение теоретического материала:</u></b> Изучение дополнительного материала по разделу "Этапы проектирования интегральных схем"</p> <p><b><u>Изучение материалов литературных источников:</u></b> [2], с. 3-10</p>	
1.1	Этапы проектирования интегральных схем	14		-	-	2	-	-	-	-	-	12	-		
2	Топология КМОП-схем	51.7		-	-	20	-	-	-	-	-	-	31.7	-	<p><b><u>Подготовка к практическим занятиям:</u></b> Изучение материала по разделу "Топология КМОП-схем" подготовка к выполнению заданий на практических занятиях</p> <p><b><u>Самостоятельное изучение теоретического материала:</u></b> Изучение дополнительного материала по разделу "Топология КМОП-схем"</p> <p><b><u>Изучение материалов литературных источников:</u></b> [1], стр. 229-233 [3], стр. 25-47, 69-78</p>
2.1	Топология КМОП-схем	51.7		-	-	20	-	-	-	-	-	-	31.7	-	
3	Верификация топологии	84		-	-	24	-	-	-	-	-	-	60	-	<p><b><u>Подготовка к практическим занятиям:</u></b> Изучение материала по разделу "Верификация топологии" подготовка к выполнению заданий на практических занятиях</p>
3.1	Конструктивно-технологические ограничения	23	-	-	8	-	-	-	-	-	-	15	-		

3.2	Контроль электрических проектных норм	23	-	-	8	-	-	-	-	-	15	-	<b><u>Самостоятельное изучение теоретического материала:</u></b> Изучение дополнительного материала по разделу "Верификация топологии"
3.3	Восстановление электрической схемы	38	-	-	8	-	-	-	-	-	30	-	
4	Топология кристалла	30	-	-	10	-	-	-	-	-	20	-	<b><u>Изучение материалов литературных источников:</u></b> [2], стр. 181-208
4.1	Топология кристалла	30	-	-	10	-	-	-	-	-	20	-	
	Зачет с оценкой	0.3	-	-	-	-	-	-	-	0.3	-	-	
	<b>Всего за семестр</b>	<b>180.0</b>	-	-	<b>56</b>	-	-	-	-	<b>0.3</b>	<b>123.7</b>	-	
	<b>Итого за семестр</b>	<b>180.0</b>	-	-	<b>56</b>	-	-	-	-	<b>0.3</b>	<b>123.7</b>	-	

**Примечание:** Лек – лекции; Лаб – лабораторные работы; Пр – практические занятия; КПП – аудиторные консультации по курсовым проектам/работам; ИККП – индивидуальные консультации по курсовым проектам/работам; ГК- групповые консультации по разделам дисциплины; СР – самостоятельная работа студента; ИКР – иная контактная работа; ТК – текущий контроль; ПА – промежуточная аттестация

### **3.2 Краткое содержание разделов**

#### 1. Этапы проектирования интегральных схем

##### 1.1. Этапы проектирования интегральных схем

Классификация интегральных схем. Этапы проектирования интегральных схем. Методологии и концепции проектирования СБИС. Технологические углы (корнеры).

#### 2. Топология КМОП-схем

##### 2.1. Топология КМОП-схем

Топология МОП-транзисторов, выполненных по различным технологиям. Масштабная величина "лямбда". Формат вывода файла топологии GDSII, CIF. Основные элементы конструкции топологии заказных КМОП БИС с одним слоем металлизации. Палочная диаграмма.

#### 3. Верификация топологии

##### 3.1. Конструктивно-технологические ограничения

Правила проектирования. Проверка выполнения правил проектирования (DRC-анализ).

##### 3.2. Контроль электрических проектных норм

Электрические проектные нормы. Выполнения контроля электрических проектных норм (ERC-анализ)..

##### 3.3. Восстановление электрической схемы

Восстановление электрической схемы из топологии. Проверка схемы на топологическом и логическом уровне (LVS-анализ)..

#### 4. Топология кристалла

##### 4.1. Топология кристалла

Топология контактных площадок. Автоматизированная разводка кристалла. Процедура "place and route".

### **3.3. Темы практических занятий**

1. Экстракция паразитных параметров;
2. Верификация топологии;
3. Проектирование топологии стандартной ячейки;
4. Проектирование топологии МОП-транзистора;
5. Формирование топологии компонента интегральной схемы;
6. Полный поток автоматизированного проектирования простого компонента интегральной схемы.

### **3.4. Темы лабораторных работ** не предусмотрено

### **3.5 Консультации**

### **3.6 Тематика курсовых проектов/курсовых работ** Курсовой проект/ работа не предусмотрены

### 3.7. Соответствие разделов дисциплины и формируемых в них компетенций

Запланированные результаты обучения по дисциплине (в соответствии с разделом 1)	Коды индикаторов	Номер раздела дисциплины (в соответствии с п.3.1)				Оценочное средство (тип и наименование)
		1	2	3	4	
<b>Знать:</b>						
основные этапы проектирования интегральных схем	ИД-1ПК-1	+				Проверочная работа/Основные этапы проектирования интегральных схем
<b>Уметь:</b>						
производить автоматизированную разводку кристалла	ИД-1ПК-1				+	Индивидуальный проект/Полный поток проектирования простого функционального блока интегральной схемы Индивидуальный проект/Проектирование топологии компонента микросхемы Индивидуальный проект/Проектирование топологии стандартной ячейки и её верификация
проектировать топологию цифрового вентиля	ИД-1ПК-1		+			Индивидуальный проект/Проектирование стандартной ячейки (электрическая схема и палочная диаграмма), реализующей заданную логическую функцию в КМОП базисе Индивидуальный проект/Проектирование топологии МОП-транзистора
производить верификацию топологии (DRC и LVS анализы)	ИД-1ПК-1			+		Индивидуальный проект/Проектирование топологии стандартной ячейки и её верификация
производить экстракцию SPICE-параметров из топологии	ИД-1ПК-1			+		Индивидуальный проект/Экстракция паразитных параметров и определение быстродействия стандартной ячейки с их учётом

## **4. КОМПЕТЕНТНОСТНО-ОРИЕНТИРОВАННЫЕ ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ КОНТРОЛЯ ОСВОЕНИЯ РЕЗУЛЬТАТОВ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ (ТЕКУЩИЙ КОНТРОЛЬ УСПЕВАЕМОСТИ, ПРОМЕЖУТОЧНАЯ АТТЕСТАЦИЯ ПО ДИСЦИПЛИНЕ)**

### **4.1. Текущий контроль успеваемости**

**8 семестр**

Форма реализации: Компьютерное задание

1. Полный поток проектирования простого функционального блока интегральной схемы (Индивидуальный проект)
2. Проектирование стандартной ячейки (электрическая схема и палочная диаграмма), реализующей заданную логическую функцию в КМОП базисе (Индивидуальный проект)
3. Проектирование топологии компонента микросхемы (Индивидуальный проект)
4. Проектирование топологии МОП-транзистора (Индивидуальный проект)
5. Проектирование топологии стандартной ячейки и её верификация (Индивидуальный проект)
6. Экстракция паразитных параметров и определение быстродействия стандартной ячейки с их учётом (Индивидуальный проект)

Форма реализации: Письменная работа

1. Основные этапы проектирования интегральных схем (Проверочная работа)

Балльно-рейтинговая структура дисциплины является приложением А.

### **4.2 Промежуточная аттестация по дисциплине**

*Зачет с оценкой (Семестр №8)*

Итоговая оценка выставляется согласно Положения о БАРС

В диплом выставляется оценка за 8 семестр.

**Примечание:** Оценочные материалы по дисциплине приведены в фонде оценочных материалов ОПОП.

## **5. УЧЕБНО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ**

### **5.1 Печатные и электронные издания:**

1. Березин, А. С. Технология и конструирование интегральных микросхем : Учебное пособие для вузов по специальностям "Физика и технология материалов и компонентов электронной техники" и "Микроэлектроника и полупроводниковые приборы" / А. С. Березин, О. Р. Мочалкина . – М. : Радио и связь, 1992 . – 320 : 16.20 .;
2. Проектирование СБИС : пер. с яп. / М. Ватанабэ, [и др.] . – М. : Мир, 1988 . – 304 с. - ISBN 5-03-000404-1 .;
3. Попов В. Д., Белова Г. Ф.- "Физические основы проектирования кремниевых цифровых интегральных микросхем в монолитном и гибридном исполнении", Издательство: "Лань", Санкт-Петербург, 2013 - (208 с.)  
[http://e.lanbook.com/books/element.php?pl1\\_cid=25&pl1\\_id=5850](http://e.lanbook.com/books/element.php?pl1_cid=25&pl1_id=5850).

### **5.2 Лицензионное и свободно распространяемое программное обеспечение:**

1. Office / Российский пакет офисных программ;
2. ОС Linux.



### 5.3 Интернет-ресурсы, включая профессиональные базы данных и информационно-справочные системы:

1. ЭБС Лань - <https://e.lanbook.com/>
2. ЭБС "Университетская библиотека онлайн" - [http://biblioclub.ru/index.php?page=main\\_ub\\_red](http://biblioclub.ru/index.php?page=main_ub_red)
3. Научная электронная библиотека - <https://elibrary.ru/>

### 6. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

Тип помещения	Номер аудитории, наименование	Оснащение
Учебные аудитории для проведения лекционных занятий и текущего контроля	К-105/1, Компьютерный класс	стол, стол для оргтехники, стол компьютерный, стул, доска меловая, мультимедийный проектор, компьютер персональный, кондиционер
Учебные аудитории для проведения практических занятий, КР и КП	К-105/1, Компьютерный класс	стол, стол для оргтехники, стол компьютерный, стул, доска меловая, мультимедийный проектор, компьютер персональный, кондиционер
Учебные аудитории для проведения промежуточной аттестации	К-105/1, Компьютерный класс	стол, стол для оргтехники, стол компьютерный, стул, доска меловая, мультимедийный проектор, компьютер персональный, кондиционер
Помещения для самостоятельной работы	НТБ-302, Читальный зал отдела обслуживания учебной литературой	стул, стол письменный, компьютерная сеть с выходом в Интернет, компьютер персональный
Помещения для консультирования	К-109/2, Кабинет сотрудников каф. "ЭиН"	стол, стул, шкаф для документов, шкаф для хранения инвентаря, стол письменный, дипломные и курсовые работы студентов
Помещения для хранения оборудования и учебного инвентаря	К-115, Склад каф. "ЭиН"	стеллаж, инвентарь учебный

## БАЛЛЬНО-РЕЙТИНГОВАЯ СТРУКТУРА ДИСЦИПЛИНЫ

### Проектирование топологии компонентов интегральных схем

(название дисциплины)

#### 8 семестр

**Перечень контрольных мероприятий текущего контроля успеваемости по дисциплине:**

- КМ-1 Основные этапы проектирования интегральных схем (Проверочная работа)
- КМ-2 Проектирование стандартной ячейки (электрическая схема и палочная диаграмма), реализующей заданную логическую функцию в КМОП базисе (Индивидуальный проект)
- КМ-3 Проектирование топологии стандартной ячейки и её верификация (Индивидуальный проект)
- КМ-4 Экстракция паразитных параметров и определение быстродействия стандартной ячейки с их учётом (Индивидуальный проект)
- КМ-5 Проектирование топологии компонента микросхемы (Индивидуальный проект)
- КМ-6 Полный поток проектирования простого функционального блока интегральной схемы (Индивидуальный проект)
- КМ-7 Проектирование топологии МОП-транзистора (Индивидуальный проект)

**Вид промежуточной аттестации – Зачет с оценкой.**

Номер раздела	Раздел дисциплины	Индекс КМ:	КМ-1	КМ-2	КМ-3	КМ-4	КМ-5	КМ-6	КМ-7
		Неделя КМ:	2	4	6	8	10	13	13
1	Этапы проектирования интегральных схем								
1.1	Этапы проектирования интегральных схем		+						
2	Топология КМОП-схем								
2.1	Топология КМОП-схем			+					+
3	Верификация топологии								
3.1	Конструктивно-технологические ограничения				+				
3.2	Контроль электрических проектных норм				+				
3.3	Восстановление электрической схемы					+			
4	Топология кристалла								
4.1	Топология кристалла				+		+	+	
Вес КМ, %:			5	15	15	10	15	30	10