

Министерство науки и высшего образования РФ
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Национальный исследовательский университет «МЭИ»

Направление подготовки/специальность: 11.04.04 Электроника и нанoeлектроника

Наименование образовательной программы: Твердотельная микро- и нанoeлектроника

Уровень образования: высшее образование - магистратура

Форма обучения: Очная


Рабочая программа дисциплины
СИНТЕЗ ЦИФРОВЫХ ИНТЕГРАЛЬНЫХ СХЕМ

Блок:	Блок 1 «Дисциплины (модули)»
Часть образовательной программы:	Часть, формируемая участниками образовательных отношений
№ дисциплины по учебному плану:	Б1.Ч.02
Трудоемкость в зачетных единицах:	1 семестр - 5;
Часов (всего) по учебному плану:	180 часов
Лекции	не предусмотрено учебным планом
Практические занятия	1 семестр - 64 часа;
Лабораторные работы	не предусмотрено учебным планом
Консультации	1 семестр - 16 часов;
Самостоятельная работа	1 семестр - 95,4 часа;
в том числе на КП/КР	1 семестр - 15,7 часов;
Иная контактная работа	1 семестр - 4 часа;
включая:	
Контрольная работа	
Домашнее задание	
Промежуточная аттестация:	
Зачет с оценкой	1 семестр - 0,3 часа;
Защита курсовой работы	1 семестр - 0,3 часа;
	всего - 0,6 часа

Москва 2024

ПРОГРАММУ СОСТАВИЛ:


Преподаватель

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Баринов А.Д.
	Идентификатор	Ra98e1318-BarinovAD-f138ec4f

А.Д. Баринов


СОГЛАСОВАНО:

Руководитель
образовательной программы

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Баринов А.Д.
	Идентификатор	Ra98e1318-BarinovAD-f138ec4f

А.Д. Баринов

Заведующий выпускающей
кафедрой

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Зезин Д.А.
	Идентификатор	Re7522a00-ZezinDA-ba8dbd73

Д.А. Зезин

1. ЦЕЛИ И ЗАДАЧИ ОСВОЕНИЯ ДИСЦИПЛИНЫ

Цель освоения дисциплины: состоит в изучении языка описания аппаратуры, применяемого в проектировании цифровых интегральных схем

Задачи дисциплины

- освоить основные компьютерные технологии, применяемые при проектировании цифровых интегральных схем;
- изучить на практике особенности применения отдельных программных продуктов;
- изучить язык описания аппаратуры высокого уровня - VerilogHDL;
- сформировать навык написания тестовых стендов (testbench);
- сформировать навык верификации HDL-описания проекта;
- изучить работу основных функциональных узлов комбинационной и последовательностной логики.

Формируемые у обучающегося **компетенции** и запланированные **результаты обучения** по дисциплине, соотнесенные с **индикаторами достижения компетенций**:

Код и наименование компетенции	Код и наименование индикатора достижения компетенции	Запланированные результаты обучения
ОПК-4 Способен разрабатывать и применять специализированное программно-математическое обеспечение для проведения исследований и решения инженерных задач	ИД-1 _{ОПК-4} Знает методы расчета, проектирования, конструирования и модернизации электронной компонентной базы с использованием систем автоматизированного проектирования и компьютерных средств	знать: - виды и принцип работы триггеров; - виды и принцип работы шифраторов и дешифраторов; - принцип проектирования цифровых схем с использованием конечных автоматов; - виды и принцип работы регистров и счётчиков; - виды и принцип работы мультиплексоров и демultipлексоров; - виды и принцип работы сумматоров.
ПК-1 Способен участвовать в проектировании полупроводниковых приборов и / или интегральных схем	ИД-3 _{ПК-1} Использует средства автоматизации схемотехнического проектирования в процессе проектирования СФ-блоков цифровых интегральных схем	уметь: - применять конечные автоматы для проектирования цифровых схем; - формировать и моделировать структурное описание схемы; - формировать поведенческое HDL-описание, производить RTL-синтез и моделировать мультиплексоры и демultipлексоры; - формировать поведенческое HDL-описание, производить RTL-синтез и моделировать сумматоры; - формировать поведенческое HDL-описание, производить RTL-синтез и моделировать шифраторы и дешифраторы; - формировать поведенческое HDL-описание, производить RTL-синтез и моделировать регистры и счётчики.

2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОБРАЗОВАТЕЛЬНОЙ ПРОГРАММЫ ВО

Дисциплина относится к основной профессиональной образовательной программе Твёрдотельная микро- и наноэлектроника (далее – ОПОП), направления подготовки 11.04.04 Электроника и наноэлектроника, уровень образования: высшее образование - магистратура.

Требования к входным знаниям и умениям:

- знать основы булевой алгебры на уровне бакалавриата
- знать основные цифровые примитивы ("И", "ИЛИ", "НЕ") на уровне бакалавриата
- знать основные виды комбинационных схем и их работу: мультиплексор, демultipлексор, сумматор, шифратор, дешифратор на уровне бакалавриата
- знать основные виды триггеров и их работу (RS-, D-, JK-, T-) на уровне бакалавриата
- знать основные виды последовательностных схем (счётчик суммирующий, параллельный регистр, сдвиговый регистр) на уровне бакалавриата
- уметь Проектировать логическую схему на логических элементах на основе логического выражения

Результаты обучения, полученные при освоении дисциплины, необходимы при выполнении выпускной квалификационной работы.

3. СТРУКТУРА И СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

3.1 Структура дисциплины

Общая трудоемкость дисциплины составляет 5 зачетных единиц, 180 часов.

№ п/п	Разделы/темы дисциплины/формы промежуточной аттестации	Всего часов на раздел	Семестр	Распределение трудоемкости раздела (в часах) по видам учебной работы										Содержание самостоятельной работы/ методические указания	
				Контактная работа							СР				
				Лек	Лаб	Пр	Консультация		ИКР		ПА	Работа в семестре	Подготовка к аттестации /контроль		
КПР	ГК	ИККП	ТК												
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
1	Проектирование цифровых интегральных схем	4	1	-	-	1	-	-	-	-	-	3	-	<p><u>Самостоятельное изучение теоретического материала:</u> Самостоятельная подготовка по материалам раздела согласно методическим рекомендациям</p> <p><u>Подготовка расчетных заданий:</u> Выполнение расчётного задания</p> <p><u>Изучение материалов литературных источников:</u> [1], стр. 439-460 [3], стр. 1.1-1.43</p>	
1.1	Концепции проектирования цифровых интегральных схем	4		-	-	1	-	-	-	-	-	3	-		
2	Синтез логических схем	5.7		-	-	1	-	-	-	-	-	4.7	-		<p><u>Подготовка расчетных заданий:</u> Выполнение расчётного задания</p> <p><u>Самостоятельное изучение теоретического материала:</u> Самостоятельная подготовка по материалам раздела согласно методическим рекомендациям</p> <p><u>Изучение материалов литературных источников:</u> [1], стр. 91-140</p>
2.1	Задача синтеза комбинационных и последовательностных логических схем и основные этапы её решения	5.7		-	-	1	-	-	-	-	-	4.7	-		
3	Основные узлы цифровых интегральных схем	134		-	-	62	-	-	-	-	-	72	-		<p><u>Изучение материалов литературных источников:</u> [1], стр. 150-185 [2], стр. 46-66, 77-89, 107-120, 143-169 [3], стр. 2.3-2.34, 3.3-3.26, 4.3-4.23, 5.25-5.48, 6.10-6.24, 8.3-8.26</p>
3.1	Комбинационная и последовательностная логики	8		-	-	4	-	-	-	-	-	4	-		
3.2	Мультиплексоры и	10		-	-	4	-	-	-	-	-	6	-		

	демультиплексоры											
3.3	Шифраторы и дешифраторы. Преобразователи кодов	24	-	-	12	-	-	-	-	-	12	-
3.4	Сумматоры	26	-	-	12	-	-	-	-	-	14	-
3.5	Регистры и счётчики	22	-	-	10	-	-	-	-	-	12	-
3.6	Конечные автоматы	26	-	-	12	-	-	-	-	-	14	-
3.7	Однопортовая регистровая память	18	-	-	8	-	-	-	-	-	10	-
	Зачет с оценкой	0.3	-	-	-	-	-	-	-	0.3	-	-
	Курсовая работа (КР)	36.0	-	-	-	16	-	4	-	0.3	15.7	-
	Всего за семестр	180.0	-	-	64	16	-	4	-	0.6	95.4	-
	Итого за семестр	180.0	-	-	64	16		4		0.6	95.4	

Примечание: Лек – лекции; Лаб – лабораторные работы; Пр – практические занятия; КПП – аудиторные консультации по курсовым проектам/работам; ИККП – индивидуальные консультации по курсовым проектам/работам; ГК- групповые консультации по разделам дисциплины; СР – самостоятельная работа студента; ИКР – иная контактная работа; ТК – текущий контроль; ПА – промежуточная аттестация

3.2 Краткое содержание разделов

1. Проектирование цифровых интегральных схем

1.1. Концепции проектирования цифровых интегральных схем

Классификация СБИС. Восходящее и нисходящее проектирование. СБИС программируемой логики. Специализированные интегральные схемы – достоинства и недостатки. Стратегии проектирования. Средства описания проекта СБИС в системах автоматизированного проектирования. Иерархия проекта. Направления проектирования СБИС: поведенческая область, структурная область, топологическая область. Структурная декомпозиция проекта. Регуляризация проекта..

2. Синтез логических схем

2.1. Задача синтеза комбинационных и последовательностных логических схем и основные этапы её решения

Синтез цифровых устройств эвристический и формальный. Высокоуровневый синтез. Логический синтез. Булевы функции. Формы представления. Базис синтеза. Оптимизация двухуровневых представлений. Оптимизация многоуровневых представлений. Технологическое отображение. Синтез по описанию на HDL и технологическое отображение схемы в заданный базис..

3. Основные узлы цифровых интегральных схем

3.1. Комбинационная и последовательностная логики

Языки низкого (Altera HDL) и высокого уровней (VHDL, Verilog). Основы языка Verilog. Уровни абстракций. Объекты проекта. Архитектурные тела. Операторы блоков. Процессы. Классы объектов. Типы данных. Операции. Операторы управления. Моделирование параллельности. Моделирование комбинационной логики. Моделирование последовательной логики. Моделирование на уровне ИС. Определение и общие характеристики модели уровня ИС. Структуры моделей уровня ИС. Моделирование задержек. Графы моделей процессов. Временное моделирование. Операторы контроля временных параметров. Моделирование внутрисистемных соединений. Мультиплексирование сигналов. Многозначная логика..

3.2. Мультиплексоры и демультиплексоры

Мультиплексоры. Полный и неполный мультиплексор. Селектор. Демультиплексоры.

3.3. Шифраторы и дешифраторы. Преобразователи кодов

Шифратор. Приоритетный шифратор. Дешифратор. Преобразователи кодов. Код Грэя. Код Джонсона. Унарный код.

3.4. Сумматоры

Сумматор со сквозным (последовательным) переносом. Сумматор с ускоренным (параллельным) переносом. Сумматор с параллельно-параллельным переносом. Сумматор с условным переносом.

3.5. Регистры и счётчики

Регистры памяти. Сдвиговые регистры. Счётчики суммирующий, вычитающий, с заданным коэффициентом счёта.

3.6. Конечные автоматы

Понятие конечного автомата. Автоматы Мили и Мура. Состояния автомата. Таблицы переходов и выходов. Графы переходов.

3.7. Однопортовая регистровая память

Постоянное запоминающее устройство (ПЗУ, ROM). Оперативное запоминающее устройство (ОЗУ, RAM).

3.3. Темы практических занятий

1. Регистры и счётчики;
2. Сумматоры;
3. Основы языка Verilog. Задача синтеза комбинационных и последовательностных логических схем и основные этапы её решения;
4. Шифраторы и дешифраторы. Преобразователи кодов;
5. Комбинационная и последовательностная логики;
6. Концепции проектирования цифровых интегральных схем;
7. Однопортовая память;
8. Мультиплексоры и демультимплексоры;
9. Конечные автоматы.

3.4. Темы лабораторных работ

не предусмотрено

3.5 Консультации

3.6 Тематика курсовых проектов/курсовых работ

1 Семестр

Курсовая работа (КР)

Темы:

- 1. Делитель двух четырёхразрядных десятичных чисел 2. Асинхронный сдвиговый регистр на мультиплексорах 3. Расчёт квадратного корня трёхразрядного десятичного числа

График выполнения курсового проекта

Неделя	1 - 4	5 - 8	9 - 10	11 - 13	14 - 15	Зачетная
Раздел курсового проекта	1	2	3	4	5, 6	Защита курсового проекта
Объем раздела, %	5	25	25	25	20	-
Выполненный объем нарастающим итогом, %	5	30	55	80	100	-

Номер раздела	Раздел курсового проекта
1	Ознакомление с заданием на работу, алгоритмом анализа и характеристикой исходных данных курсовой работы
2	Анализ исходных данных и определение алгоритма работы схемы
3	Формирование функциональной схемы устройства
4	Формирование HDL-описания схемы и моделирование
5	Отладка схемы на ПЛИС

3.7. Соответствие разделов дисциплины и формируемых в них компетенций

Запланированные результаты обучения по дисциплине (в соответствии с разделом 1)	Коды индикаторов	Номер раздела дисциплины (в соответствии с п.3.1)			Оценочное средство (тип и наименование)
		1	2	3	
Знать:					
виды и принцип работы сумматоров	ИД-1 _{ОПК-4}			+	Домашнее задание/Сумматоры. Временной анализ
виды и принцип работы мультиплексоров и демультимплексоров	ИД-1 _{ОПК-4}			+	Домашнее задание/Модели уровня регистровых передач комбинационных схем
виды и принцип работы регистров и счётчиков	ИД-1 _{ОПК-4}			+	Домашнее задание/Однопортовая память Домашнее задание/Последовательностные схемы
принцип проектирования цифровых схем с использованием конечных автоматов	ИД-1 _{ОПК-4}			+	Домашнее задание/Конечные автоматы
виды и принцип работы шифраторов и дешифраторов	ИД-1 _{ОПК-4}			+	Домашнее задание/Модели уровня регистровых передач комбинационных схем
виды и принцип работы триггеров	ИД-1 _{ОПК-4}			+	Домашнее задание/Последовательностные схемы
Уметь:					
применять конечные автоматы для проектирования цифровых схем	ИД-3 _{ПК-1}			+	Домашнее задание/Конечные автоматы
формировать поведенческое HDL-описание, производить RTL-синтез и моделировать регистры и счётчики	ИД-3 _{ПК-1}			+	Домашнее задание/Последовательностные схемы
формировать поведенческое HDL-описание, производить RTL-синтез и моделировать шифраторы и дешифраторы	ИД-3 _{ПК-1}			+	Домашнее задание/Модели уровня регистровых передач комбинационных схем
формировать поведенческое HDL-описание, производить RTL-синтез и моделировать сумматоры	ИД-3 _{ПК-1}			+	Домашнее задание/Сумматоры. Временной анализ
формировать поведенческое HDL-описание, производить RTL-синтез и моделировать мультиплексоры и демультимплексоры	ИД-3 _{ПК-1}			+	Домашнее задание/Модели уровня регистровых передач комбинационных схем
формировать и моделировать структурное описание	ИД-3 _{ПК-1}	+	+		Контрольная работа/Структурная и поведенческая

схемы					модели простых комбинационных схем
-------	--	--	--	--	------------------------------------

4. КОМПЕТЕНТНОСТНО-ОРИЕНТИРОВАННЫЕ ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ КОНТРОЛЯ ОСВОЕНИЯ РЕЗУЛЬТАТОВ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ (ТЕКУЩИЙ КОНТРОЛЬ УСПЕВАЕМОСТИ, ПРОМЕЖУТОЧНАЯ АТТЕСТАЦИЯ ПО ДИСЦИПЛИНЕ)

4.1. Текущий контроль успеваемости

1 семестр

Форма реализации: Компьютерное задание

1. Конечные автоматы (Домашнее задание)
2. Модели уровня регистровых передач комбинационных схем (Домашнее задание)
3. Однопортовая память (Домашнее задание)
4. Последовательностные схемы (Домашнее задание)
5. Сумматоры. Временной анализ (Домашнее задание)

Форма реализации: Письменная работа

1. Структурная и поведенческая модели простых комбинационных схем (Контрольная работа)

Балльно-рейтинговая структура дисциплины является приложением А.

Балльно-рейтинговая структура курсовой работы является приложением Б.

4.2 Промежуточная аттестация по дисциплине

Зачет с оценкой (Семестр №1)

Согласно действующему Положению о БАРС

Курсовая работа (КР) (Семестр №1)

Определяется действующим Положением о БАРС

В диплом выставляется оценка за 1 семестр.

Примечание: Оценочные материалы по дисциплине приведены в фонде оценочных материалов ОПОП.

5. УЧЕБНО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

5.1 Печатные и электронные издания:

1. Харрис, Дэвид М. Цифровая схемотехника и архитектура компьютера = Digital Design and Computer Architecture : [цветное издание] : пер. с англ. / Дэвид М. Харрис, Сара Л. Харрис . – 2-е изд., испр. – Москва : ДМК Пресс, 2018 . – 792 с. - ISBN 978-5-97060-570-7 .;
2. Угрюмов, Е. П. Цифровая схемотехника : учебное пособие для вузов по направлению 230100 "Информатика и вычислительная техника" / Е. П. Угрюмов . – 3-е изд., перераб. и доп. – СПб. : БХВ-Петербург, 2010 . – 816 с. - ISBN 978-5-9775-0162-0 .;
3. Романов А. Ю., Панчул Ю. В.- "Цифровой синтез. Практический курс", Издательство: "ДМК Пресс", Москва, 2020 - (556 с.)
<https://e.lanbook.com/book/179492>.

5.2 Лицензионное и свободно распространяемое программное обеспечение:

1. Office / Российский пакет офисных программ;
2. Windows / Операционная система семейства Linux;
3. Quartus;

4. ModelSim.

5.3 Интернет-ресурсы, включая профессиональные базы данных и информационно-справочные системы:

1. ЭБС Лань - <https://e.lanbook.com/>
2. ЭБС "Университетская библиотека онлайн" - http://biblioclub.ru/index.php?page=main_ub_red
3. Научная электронная библиотека - <https://elibrary.ru/>
4. Электронная библиотека МЭИ (ЭБ МЭИ) - <http://elib.mpei.ru/login.php>

6. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

Тип помещения	Номер аудитории, наименование	Оснащение
Учебные аудитории для проведения лекционных занятий и текущего контроля	К-105/1, Компьютерный класс	стол, стол для оргтехники, стол компьютерный, стул, доска меловая, мультимедийный проектор, компьютер персональный, кондиционер
	К-105/2, Компьютерный класс	стол преподавателя, стол компьютерный, стул, доска меловая, кондиционер
Учебные аудитории для проведения практических занятий, КР и КП	К-105/1, Компьютерный класс	стол, стол для оргтехники, стол компьютерный, стул, доска меловая, мультимедийный проектор, компьютер персональный, кондиционер
	К-105/2, Компьютерный класс	стол преподавателя, стол компьютерный, стул, доска меловая, кондиционер
Учебные аудитории для проведения промежуточной аттестации	К-105/1, Компьютерный класс	стол, стол для оргтехники, стол компьютерный, стул, доска меловая, мультимедийный проектор, компьютер персональный, кондиционер
	К-105/2, Компьютерный класс	стол преподавателя, стол компьютерный, стул, доска меловая, кондиционер
Помещения для самостоятельной работы	К-105/1, Компьютерный класс	стол, стол для оргтехники, стол компьютерный, стул, доска меловая, мультимедийный проектор, компьютер персональный, кондиционер
	К-105/2, Компьютерный класс	стол преподавателя, стол компьютерный, стул, доска меловая, кондиционер
Помещения для консультирования	К-109/1, Кабинет сотрудников каф. "ЭиН"	кресло рабочее, рабочее место сотрудника, стол для работы с документами, стул, шкаф для документов, шкаф для одежды, стол письменный, стол для совещаний, доска меловая, компьютерная сеть с выходом в Интернет, многофункциональный центр, оборудование для экспериментов, компьютер персональный, документы, книги, учебники, пособия
Помещения для хранения оборудования и учебного инвентаря	К-115, Склад каф. "ЭиН"	стеллаж, инвентарь учебный

БАЛЛЬНО-РЕЙТИНГОВАЯ СТРУКТУРА ДИСЦИПЛИНЫ

Синтез цифровых интегральных схем

(название дисциплины)

1 семестр

Перечень контрольных мероприятий текущего контроля успеваемости по дисциплине:

- КМ-1 Структурная и поведенческая модели простых комбинационных схем (Контрольная работа)
- КМ-2 Модели уровня регистровых передач комбинационных схем (Домашнее задание)
- КМ-3 Последовательностные схемы (Домашнее задание)
- КМ-4 Конечные автоматы (Домашнее задание)
- КМ-5 Сумматоры. Временной анализ (Домашнее задание)
- КМ-6 Однопортовая память (Домашнее задание)

Вид промежуточной аттестации – Зачет с оценкой.

Номер раздела	Раздел дисциплины	Индекс КМ:	КМ-1	КМ-2	КМ-3	КМ-4	КМ-5	КМ-6
		Неделя КМ:	4	5	8	12	14	15
1	Проектирование цифровых интегральных схем							
1.1	Концепции проектирования цифровых интегральных схем		+					
2	Синтез логических схем							
2.1	Задача синтеза комбинационных и последовательностных логических схем и основные этапы её решения		+					
3	Основные узлы цифровых интегральных схем							
3.1	Комбинационная и последовательностная логики				+			
3.2	Мультиплексоры и демультимплексоры			+				
3.3	Шифраторы и дешифраторы. Преобразователи кодов			+				
3.4	Сумматоры						+	
3.5	Регистры и счётчики				+			+
3.6	Конечные автоматы					+		
3.7	Однопортовая регистровая память				+			+
Вес КМ, %:			10	15	15	25	15	20

БАЛЛЬНО-РЕЙТИНГОВАЯ СТРУКТУРА КУРСОВОГО ПРОЕКТА/РАБОТЫ ПО ДИСЦИПЛИНЕ

Синтез цифровых интегральных схем

(название дисциплины)

1 семестр

Перечень контрольных мероприятий текущего контроля успеваемости по курсовой работе:

- КМ-1 Ознакомление с заданием
- КМ-2 Обсуждение алгоритмов с руководителем и выбор одного из них
- КМ-3 Формирование функциональной схемы модуля за вычетом схем ввода и вывода данных
- КМ-4 Формирование HDL-описания и тестовых модулей функциональных узлов, моделирование работы схемы
- КМ-5 Демонстрация работы схемы на ПЛИС
- КМ-6 Нормоконтроль оформления курсовой работы

Вид промежуточной аттестации – защита КР.

Номер раздела	Раздел курсового проекта/курсовой работы	Индекс КМ:	КМ-1	КМ-2	КМ-3	КМ-4	КМ-5	КМ-6
		Неделя КМ:	4	8	10	13	15	15
1	Ознакомление с заданием на работу, алгоритмом анализа и характеристикой исходных данных курсовой работы		+					
2	Анализ исходных данных и определение алгоритма работы схемы			+				
3	Формирование функциональной схемы устройства				+			
4	Формирование HDL-описания схемы и моделирование					+		
5	Отладка схемы на ПЛИС						+	
6	Написание пояснительной записки							+
Вес КМ, %:			5	25	25	25	10	10