

**Министерство науки и высшего образования РФ
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Национальный исследовательский университет «МЭИ»**

Направление подготовки/специальность: 11.03.04 Электроника и нанoeлектроника

Наименование образовательной программы: Микроэлектроника и твердотельная электроника

Уровень образования: высшее образование - бакалавриат

Форма обучения: Очная

**Оценочные материалы
по дисциплине
Основы цифрового синтеза**

**Москва
2024**

ОЦЕНОЧНЫЕ МАТЕРИАЛЫ РАЗРАБОТАЛ:

Разработчик

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Баринов А.Д.
	Идентификатор	Ra98e1318-BarinovAD-f138ec4f

А.Д. Баринов

СОГЛАСОВАНО:

Руководитель
образовательной
программы

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Баринов А.Д.
	Идентификатор	Ra98e1318-BarinovAD-f138ec4f

А.Д.
Баринов

Заведующий
выпускающей кафедрой

	Подписано электронной подписью ФГБОУ ВО «НИУ «МЭИ»	
	Сведения о владельце ЦЭП МЭИ	
	Владелец	Зезин Д.А.
	Идентификатор	Re7522a00-ZezinDA-ba8dbd73

Д.А. Зезин

ОБЩАЯ ЧАСТЬ

Оценочные материалы по дисциплине предназначены для оценки достижения обучающимися запланированных результатов обучения по дисциплине, этапа формирования запланированных компетенций и уровня освоения дисциплины.

Оценочные материалы по дисциплине включают оценочные средства для проведения мероприятий текущего контроля успеваемости и промежуточной аттестации.

Формируемые у обучающегося компетенции:

1. ПК-1 Способен участвовать в проектировании интегральных схем
ИД-1 Использует средства автоматизации схемотехнического проектирования

и включает:

для текущего контроля успеваемости:

Форма реализации: Компьютерное задание

1. Конечные автоматы (Домашнее задание)
2. Модели комбинационной логики уровня регистровых передач (Домашнее задание)
3. Модели последовательностных схем уровня регистровых передач (Домашнее задание)
4. Проектирование HDL-описания компонента интегральной схемы (Индивидуальный проект)
5. Структурное описание схем (Домашнее задание)

Форма реализации: Письменная работа

1. Контрольная работа "Базовые конструкции языка SystemVerilog" (Контрольная работа)

БРС дисциплины

7 семестр

Перечень контрольных мероприятий текущего контроля успеваемости по дисциплине:

- КМ-1 Структурное описание схем (Домашнее задание)
- КМ-2 Модели комбинационной логики уровня регистровых передач (Домашнее задание)
- КМ-3 Контрольная работа "Базовые конструкции языка SystemVerilog" (Контрольная работа)
- КМ-4 Модели последовательностных схем уровня регистровых передач (Домашнее задание)
- КМ-5 Конечные автоматы (Домашнее задание)
- КМ-6 Проектирование HDL-описания компонента интегральной схемы (Индивидуальный проект)

Вид промежуточной аттестации – Зачет с оценкой.

Раздел дисциплины	Веса контрольных мероприятий, %						
	Индекс КМ:	КМ-1	КМ-2	КМ-3	КМ-4	КМ-5	КМ-6
	Срок КМ:	4	6	7	11	14	16

Проектирование цифровых интегральных схем						
Концепции проектирования цифровых интегральных схем	+		+			+
Синтез логических схем						
Задача синтеза комбинационных и последовательностных логических схем и основные этапы её решения	+		+			+
Основные узлы цифровых интегральных схем						
Комбинационная и последовательностная логики	+					
Мультиплексоры и демultipлексоры. Шифраторы и дешифраторы. Преобразователи кодов		+	+			
Регистры и счётчики				+		
Конечные автоматы					+	
Вес КМ:	10	15	15	15	20	25

СОДЕРЖАНИЕ ОЦЕНОЧНЫХ СРЕДСТВ ТЕКУЩЕГО КОНТРОЛЯ

I. Оценочные средства для оценки запланированных результатов обучения по дисциплине, соотнесенных с индикаторами достижения компетенций

Индекс компетенции	Индикатор	Запланированные результаты обучения по дисциплине	Контрольная точка
ПК-1	ИД-1 _{ПК-1} Использует средства автоматизации схемотехнического проектирования	<p>Знать:</p> <ul style="list-style-type: none"> виды и принцип работы мультиплексоров и демультимплексоров виды и принцип работы триггеров виды и принцип работы шифраторов и дешифраторов принцип проектирования цифровых схем с использованием конечных автоматов виды и принцип работы регистров и счётчиков <p>Уметь:</p> <ul style="list-style-type: none"> применять конечные автоматы для проектирования цифровых схем формировать и моделировать структурное описание схемы формировать поведенческое HDL- 	<ul style="list-style-type: none"> KM-1 Структурное описание схем (Домашнее задание) KM-2 Модели комбинационной логики уровня регистровых передач (Домашнее задание) KM-3 Контрольная работа "Базовые конструкции языка SystemVerilog" (Контрольная работа) KM-4 Модели последовательностных схем уровня регистровых передач (Домашнее задание) KM-5 Конечные автоматы (Домашнее задание) KM-6 Проектирование HDL-описания компонента интегральной схемы (Индивидуальный проект)

		<p>описание, производить RTL-синтез и моделировать мультиплексоры и демультиплексоры формировать поведенческое HDL- описание, производить RTL-синтез и моделировать регистры и счётчики формировать поведенческое HDL- описание, производить RTL-синтез и моделировать шифраторы и дешифраторы</p>	
--	--	--	--

II. Содержание оценочных средств. Шкала и критерии оценивания

КМ-1. Структурное описание схем

Формы реализации: Компьютерное задание

Тип контрольного мероприятия: Домашнее задание

Вес контрольного мероприятия в БРС: 10

Процедура проведения контрольного мероприятия: Студент приводит результаты моделирования различных элементов цифровой схемы - комбинационную функцию, асинхронный RS-триггер, D-защёлку, D-триггер, JK-триггер, T-триггер. Анализирует эти результаты.

Краткое содержание задания:

1. Привести HDL-описаний реализации комбинационной функции.
2. Провести синтез всех описаний в программе Quartus Prime.
3. Привести результаты моделирования схем.
4. Привести HDL-описаний реализации последовательностной - триггеров.
5. Провести синтез всех описаний в программе Quartus Prime.
6. Привести результаты моделирования схем.

Контрольные вопросы/задания:

Запланированные результаты обучения по дисциплине	Вопросы/задания для проверки
Знать: виды и принцип работы триггеров	1.Опишите основные отличия синхронных триггеров от асинхронных 2.В чём состоит преимущества D-триггера перед D-защёлкой? 3.Почему JK-триггер называют универсальным?
Уметь: формировать и моделировать структурное описание схемы	1.Реализуйте заданную логическую функцию. Напишите к ней тестовый модуль и промоделируйте. 2.Реализуйте T-триггер на основе D-триггера.

Описание шкалы оценивания:

Оценка: 5 («отлично»)

Описание характеристики выполнения знания: Оценка "отлично" выставляется, если задание выполнено в полном объеме или выполнено преимущественно верно. Сдача вовремя - максимальный балл - 5 (приём до 23:59 четверг), к 23:59 воскресенье - максимальный балл - 4, к 23:59 вторника - максимальный балл - 3. Остальное - 2 балла и пересдача в течение семестра.

Оценка: 4 («хорошо»)

Описание характеристики выполнения знания: Оценка "хорошо" выставляется, если большинство вопросов раскрыто. Выбрано верное направление для решения задач. Сдача вовремя - максимальный балл - 4 (приём до 23:59 четверг), к 23:59 воскресенье - максимальный балл - 4, к 23:59 вторника - максимальный балл - 3. Остальное - 2 балла и пересдача в течение семестра.

Оценка: 3 («удовлетворительно»)

Описание характеристики выполнения знания: Оценка "удовлетворительно" выставляется, если задание преимущественно выполнено. Сдача вовремя - максимальный балл - 3 (приём до 23:59 четверг), к 23:59 воскресенье - максимальный балл - 3, к 23:59 вторника - максимальный балл - 3. Остальное - 2 балла и передача в течение семестра.

Оценка: 2 («неудовлетворительно»)

Описание характеристики выполнения знания: Оценка "неудовлетворительно" выставляется, если задание выполнено неверно или преимущественно не выполнено

КМ-2. Модели комбинационной логики уровня регистровых передач

Формы реализации: Компьютерное задание

Тип контрольного мероприятия: Домашнее задание

Вес контрольного мероприятия в БРС: 15

Процедура проведения контрольного мероприятия: Студент приводит результаты моделирования различных вариантов HDL-описания для элемента цифровой схемы - мультиплексора. Анализирует эти результаты.

Краткое содержание задания:

1. Привести несколько вариантов HDL-описания мультиплексора.
2. Провести синтез всех описаний в программе Quartus Prime.
3. Привести результаты моделирования схем.
4. По заданию преподавателя провести для описаний временной анализ.

Контрольные вопросы/задания:

Запланированные результаты обучения по дисциплине	Вопросы/задания для проверки
Знать: виды и принцип работы мультиплексоров и демультиплексоров	<ol style="list-style-type: none"> 1.Поясните принцип работы мультиплексора. 2.Какими конструкциями можно описать мультиплексор? 3.Что такое "полный" и "неполный" мультиплексоры? 4.Что такое "селектор" и для чего он применяется? Что его отличает от мультиплексора?
Уметь: формировать поведенческое HDL-описание, производить RTL-синтез и моделировать мультиплексоры и демультиплексоры	<ol style="list-style-type: none"> 1.Реализуйте логическую функцию с помощью мультиплексора "из 8 в 1" 2.Реализуйте 3-битный мультиплексор "из 3 в 1" с помощью операторов ?:, if и case. 3.Проведите проектирование 8-разрядного селектора для передачи 32-битных сигналов. Напишите тестовый модуль и смоделируйте работу селектора. Указание: селектором называют мультиплексор, у которого адресные входы закодированы в позиционном коде.
Уметь: формировать поведенческое HDL-описание, производить RTL-синтез и моделировать шифраторы и дешифраторы	<ol style="list-style-type: none"> 1.Приведите HDL-описание шифратора «из 8 в 3» и дешифратора «из 3 в 8» с использованием последовательных операторов if...else и case. Проведите синтез схем и продемонстрируйте RTLпредставление обоих вариантов. 2.Приведите HDL-описание 8-битного приоритетного шифратора с использованием непрерывного присваивания assign с тернарным

Запланированные результаты обучения по дисциплине	Вопросы/задания для проверки
	оператором, оператором ветвления if...else и оператором выбора case. Сравните их RTL-представления. Напишите для него testbench и промоделируйте работу

Описание шкалы оценивания:

Оценка: 5 («отлично»)

Описание характеристики выполнения знания: Оценка "отлично" выставляется, если задание выполнено в полном объеме или выполнено преимущественно верно. Сдача вовремя - максимальный балл - 5 (приём до 23:59 четверг), к 23:59 воскресенье - максимальный балл - 4, к 23:59 вторника - максимальный балл - 3. Остальное - 2 балла и пересдача в течение семестра.

Оценка: 4 («хорошо»)

Описание характеристики выполнения знания: Оценка "хорошо" выставляется, если большинство вопросов раскрыто. Выбрано верное направление для решения задач. Сдача вовремя - максимальный балл - 4 (приём до 23:59 четверг), к 23:59 воскресенье - максимальный балл - 4, к 23:59 вторника - максимальный балл - 3. Остальное - 2 балла и пересдача в течение семестра.

Оценка: 3 («удовлетворительно»)

Описание характеристики выполнения знания: Оценка "удовлетворительно" выставляется, если задание преимущественно выполнено. Сдача вовремя - максимальный балл - 3 (приём до 23:59 четверг), к 23:59 воскресенье - максимальный балл - 3, к 23:59 вторника - максимальный балл - 3. Остальное - 2 балла и пересдача в течение семестра.

Оценка: 2 («неудовлетворительно»)

Описание характеристики выполнения знания: Оценка "неудовлетворительно" выставляется, если задание выполнено неверно или преимущественно не выполнено

КМ-3. Контрольная работа "Базовые конструкции языка SystemVerilog"

Формы реализации: Письменная работа

Тип контрольного мероприятия: Контрольная работа

Вес контрольного мероприятия в БРС: 15

Процедура проведения контрольного мероприятия: Студент приводит результаты моделирования различных вариантов HDL-описания для элемента цифровой схемы - шифратора и дешифратора. Анализирует эти результаты.

Краткое содержание задания:

Выполнить задания контрольной работы.

Контрольные вопросы/задания:

Запланированные результаты обучения по дисциплине	Вопросы/задания для проверки
Знать: виды и принцип работы шифраторов и дешифраторов	1. Представьте число 16'b0010111001110000 в шестнадцатеричном и десятичном базисе в нотации SystemVerilog. 2. Каково будет значение сигнала 'y' в двоичном базисе в нотации SystemVerilog? 1 assign y = {8{1'b1}};

Запланированные результаты обучения по дисциплине	Вопросы/задания для проверки
	<p>3. Каково будет значение сигнала 'у' в двоичном базисе в нотации SystemVerilog?</p> <hr/> <p style="text-align: center;"><i>1 assign y = {3'd14, {2{3'hA}}, 2'd6};</i></p> <hr/>
<p>Уметь: формировать и моделировать структурное описание схемы</p>	<p>1. Для представленного ниже описания модуля приведите его графическое представление на основе цифровых примитивов (И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ, ИСКЛЮЧАЮЩЕЕ И, ИСКЛЮЧАЮЩЕЕ И-НЕ).</p> <hr/> <p style="text-align: center;"><i>1 module Task4(A, Y);</i></p> <p style="text-align: center;"><i>2</i></p> <p style="text-align: center;"><i>3 input logic [1:0] A;</i></p> <p style="text-align: center;"><i>4 output logic [1:0] Y;</i></p> <p style="text-align: center;"><i>5</i></p> <p style="text-align: center;"><i>6 assign Y[0] = (A[0] & A[1]) ^ (~A[1]);</i></p> <p style="text-align: center;"><i>7 assign Y[1] = ~(~(A[0] & A[1]) ^ A[1]);</i></p> <p style="text-align: center;"><i>8</i></p> <p style="text-align: center;"><i>9 endmodule</i></p> <hr/> <p>2. По аналогии с предыдущим заданием приведите графическое представление описанного ниже модуля на основе цифровых примитивов (И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ, ИСКЛЮЧАЮЩЕЕ И, ИСКЛЮЧАЮЩЕЕ И-НЕ).</p> <hr/> <p style="text-align: center;"><i>1 module Task5(A, Y);</i></p> <p style="text-align: center;"><i>2</i></p> <p style="text-align: center;"><i>3 input logic [1:0] A;</i></p>

Запланированные результаты обучения по дисциплине	Вопросы/задания для проверки
	<pre> 4 output logic [1:0] Y; 5 6 logic [2:0] w; 7 8 nand(w[0], ~A[0], A[1]); 9 and(Y[0], w[0], A[0], ~A[1]); 10 and(Y[1], w[1], ~w[2]); 11 or(w[1], A[0], A[1]); 12 and(w[2], A[0], A[1]); 13 14 endmodule </pre> <hr/> <p>3. По аналогии с предыдущим заданием приведите графическое представление описанного ниже модуля на основе цифровых примитивов (И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ, ИСКЛЮЧАЮЩЕЕ И, ИСКЛЮЧАЮЩЕЕ И-НЕ).</p> <hr/> <pre> 1 module Task8(X, S, Y); 2 3 input logic [2:0] X; 4 input logic [2:0] S; 5 output logic Y; 6 7 always_comb </pre>

Запланированные результаты обучения по дисциплине	Вопросы/задания для проверки
	<pre> 8 case(S) 9 3'b001 : Y = X[0]; 10 3'b010 : Y = X[1]; 11 3'b100 : Y = X[2]; 12 default : Y = 1'bX; 13 endcase 14 15 endmodule </pre> <hr/> <p>4. Для представленных ниже описаний модуля и его испытательного стенда (testbench) нарисуйте временную диаграмму с результатами тестирования, а также предоставьте результат выполнения команды \$monitor.</p> <hr/> <pre> 1 module Task7(A, B, C); 2 3 input logic A; 4 input logic B; 5 output logic C; 6 7 assign C = ~A ~B; 8 9 endmodule </pre> <hr/>

Запланированные результаты обучения по дисциплине	Вопросы/задания для проверки
	<hr/> <pre> 1 `timescale 1 ns / 1 ns 2 3 module tb_Task7(); 4 5 logic a, b; 6 logic c; 7 8 Task7 DUT(.A(a), .B(b), .C(c)); 9 10 initial begin 11 \$monitor("At time %t a is %b, b is %b, c is %b", \$time, a, 12 b, c); 13 a = 0; b = 0; #10; 14 a = 1; b = 0; #20; 15 b = 1; #15; 16 a = 0; #10; 17 \$stop; 18 end 19 endmodule </pre> <hr/>

Описание шкалы оценивания:

Оценка: 5 («отлично»)

Нижний порог выполнения задания в процентах: 90

Описание характеристики выполнения знания: Оценка ОТЛ выставляется при количестве баллов от 90 и выше

Оценка: 4 («хорошо»)

Нижний порог выполнения задания в процентах: 70

Описание характеристики выполнения знания: Оценка ХОР выставляется при количестве баллов от 70 и выше

Оценка: 3 («удовлетворительно»)

Нижний порог выполнения задания в процентах: 50

Описание характеристики выполнения знания: Оценка УДОВЛ выставляется при количестве баллов от 50 и выше

Оценка: 2 («неудовлетворительно»)

Описание характеристики выполнения знания: Оценка НЕУД выставляется при количестве баллов менее 50

КМ-4. Модели последовательностных схем уровня регистровых передач

Формы реализации: Компьютерное задание

Тип контрольного мероприятия: Домашнее задание

Вес контрольного мероприятия в БРС: 15

Процедура проведения контрольного мероприятия: Студент приводит результаты моделирования различных вариантов HDL-описания для элементов цифровой схемы - счётчиков и 8-разрядного регистра. Анализирует эти результаты.

Краткое содержание задания:

1. Привести HDL-описание n-битного счётчика (суммирующего и вычитающего).
2. Провести синтез в программе Quartus Prime.
3. Привести результат моделирования схемы.
4. Привести описание устройства сдвига (комбинационного и последовательностного).
5. Провести синтез в программе Quartus Prime.
6. Привести результат моделирования схемы.

Контрольные вопросы/задания:

Запланированные результаты обучения по дисциплине	Вопросы/задания для проверки
Знать: виды и принцип работы регистров и счётчиков	1.Что такое "регистр"? 2.Опишите назначение устройства сдвига. Каких типов бывают эти устройства? 3.Что такое "счётчик"? Чем различаются суммирующий и вычитающий счётчики?
Уметь: формировать поведенческое HDL-описание, производить RTL-синтез и моделировать регистры и счётчики	1.Приведите описание, синтез и моделирование n-битного универсального регистра. 2.Приведите описание, синтез и моделирование n-битного счётчика с коэффициентом счёта равным К. 3.Приведите описание, синтез и моделирование 4-битного счётчика Грэя. 4.Приведите описание, синтез и моделирование 4-битного счётчика Джонсона. 5.Широтно-импульсный модулятор с регулированием

Запланированные результаты обучения по дисциплине	Вопросы/задания для проверки
	<p>кнопками отладочной платы длительности состояния включения светодиода при частоте мигания 0,5 Гц</p> <p>6. Вывести на зуммер звук частотой 1 кГц (коэффициент заполнения 50 %). Кнопками задавать увеличение или уменьшение частоты на 1 кГц. Спроектировать тестовый стенд для определения достоверности работы спроектированного модуля. Продемонстрировать работу на отладочной плате, изменяя частоту сигнала от 1 кГц до 20000 Гц.</p> <p>7. Вывести на зуммер по нажатию кнопки генерацию одиночного звука, соответствующего ноте от До до Си в заданной DIP-переключателями октаве с 1 по 7. Указание: для задаваемых октав предусмотреть необходимое количество DIP-переключателей. Для выводимой ноты предусмотреть задание кода оставшимися DIP-переключателями.</p> <p>8. Вывести на зуммер небольшой узнаваемый отрывок из следующих музыкальных произведений, не прибегая к использованию конечных автоматов</p> <p>9. Реализовать 16-битный генератор псевдослучайной последовательности на основе РСЛОС Фибоначчи и Галуа для заданных параметров (порождающий многочлен). Инициализирующая последовательность равна 0xA2C1</p> <p>10. Для генератора ПСП из п. 1 выполните анализ случайности полученной последовательности. Для этого задайте генерацию в течении 10000 тактов (или более) синхросигнала. Проведите анализ: доли нулей и единиц, появляющихся в последовательности; частоты появления уникальных последовательностей 00, 01, 10 и 11; частоты появления последовательностей 000, 001, 010, 011, 100, 101, 110 и 111.</p> <p>11. На основе генератора ПСП конструкции Галуа из п. 1 соберите управляемый генератор и проведите анализ его работы по аналогии с п. 2 (в качестве второго и третьего РСЛОС выберите соседние порождающие многочлены из списка п. 1 или измените инициализирующую последовательность)</p>

Описание шкалы оценивания:

Оценка: 5 («отлично»)

Описание характеристики выполнения знания: Оценка "отлично" выставляется, если выполнены все задания пункты для тем "Пищалка" и "РСЛОС" или не выполнено последнее задание в одной из тем. Сдача вовремя - максимальный балл - 5 (приём до 23:59 четверг), к 23:59 воскресенье - максимальный балл - 4, к 23:59 вторника - максимальный балл - 3. Остальное - 2 балла и передача в течение семестра.

Оценка: 4 («хорошо»)

Описание характеристики выполнения знания: Оценка "хорошо" выставляется, если выполнены первые два задания из темы "Пищалка" и "РСЛОС" или выполнено одно задание из одной темы и два-три задания из второй темы. Сдача вовремя - максимальный балл - 4 (приём до 23:59 четверг), к 23:59 воскресенье - максимальный балл - 4, к 23:59 вторника - максимальный балл - 3. Остальное - 2 балла и пересдача в течение семестра.

Оценка: 3 («удовлетворительно»)

Описание характеристики выполнения знания: Оценка "удовлетворительно" выставляется, если выполнено первое задание из тем "Пищалка" и "РСЛОС". Сдача вовремя - максимальный балл - 3 (приём до 23:59 четверг), к 23:59 воскресенье - максимальный балл - 3, к 23:59 вторника - максимальный балл - 3. Остальное - 2 балла и пересдача в течение семестра.

Оценка: 2 («неудовлетворительно»)

Описание характеристики выполнения знания: Оценка "неудовлетворительно" выставляется, если хотя бы из одной из тем "Пищалка" и "РСЛОС" не выполнено ни одного задания

КМ-5. Конечные автоматы

Формы реализации: Компьютерное задание

Тип контрольного мероприятия: Домашнее задание

Вес контрольного мероприятия в БРС: 20

Процедура проведения контрольного мероприятия: Студент приводит результаты моделирования различных вариантов HDL-описания для элементов цифровой схемы - счётчиков и 8-разрядного регистра. Анализирует эти результаты.

Краткое содержание задания:

Построить граф конечного автомата в соответствие с таблицей своего варианта.

Разработать код с комбинационными выходами и синхронными выходами.

Синтезировать код в Quartus Prime.

Провести моделирование конечного автомата.

Контрольные вопросы/задания:

Запланированные результаты обучения по дисциплине	Вопросы/задания для проверки
Знать: принцип проектирования цифровых схем с использованием конечных автоматов	<ol style="list-style-type: none"> 1.Что такое “конечный автомат”? 2.В чём заключается отличия между автоматами Мили и Мура? 3.Какие есть методы кодирования состояний конечного автомата?
Уметь: применять конечные автоматы для проектирования цифровых схем	<ol style="list-style-type: none"> 1.Приведите реализацию работы светофора с тремя состояниями (красный, жёлтый и зелёный) на конечных автоматах. 2.Приведите реализацию работы светофора с четырьмя состояниями (красный, жёлтый и зелёный) на конечных автоматах. 3.Приведите реализацию конечного автомата поиска в последовательности единиц и нулей двух подряд идущих единиц. 4.Для предыдущего задания сформируйте тест на основе генератора псевдослучайных чисел из КМ-3 с выводом количества неперекрываемых и перекрываемых последовательностей. Выведите это количество в терминал. Длина последовательности - 10000 элементов.

Запланированные результаты обучения по дисциплине	Вопросы/задания для проверки																																						
	<p>5. На основе указанной таблицы переходов нарисуйте граф автомата Мура</p> <table border="1" data-bbox="544 412 911 618"> <tr> <td></td> <td>S1</td> <td>S2</td> <td>S3</td> <td>S4</td> <td>S5</td> </tr> <tr> <td>X1</td> <td>S1</td> <td>S3</td> <td>S3</td> <td>S2</td> <td>S1</td> </tr> <tr> <td>X2</td> <td>S3</td> <td>S4</td> <td>S1</td> <td>S3</td> <td>S5</td> </tr> <tr> <td>X3</td> <td>S2</td> <td>S1</td> <td>S1</td> <td>S1</td> <td>S4</td> </tr> <tr> <td>X4</td> <td>S5</td> <td>S1</td> <td>S2</td> <td>S5</td> <td>S2</td> </tr> </table> <p>6. Для указанного задания разработайте автоматы Мили и Мура. Для этого: Определите состояния автомата Мили и Мура. Составьте таблицу переходов. Нарисуйте граф автомата Мили и Мура. Напишите HDL-код конечного автомата Мили (с комментариями). Напишите HDL-код конечного автомата Мура (с комментариями). Проведите моделирование и продемонстрировать работоспособность обоих автоматов. Произведите сравнение работы обоих автоматов.</p> <table border="1" data-bbox="544 1133 1481 1272"> <thead> <tr> <th>Вариант (номер по журналу)</th> <th>Искомая последовательность</th> <th>Вариант (номер по журналу)</th> <th>Искомая последовательность</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>00010</td> <td>11</td> <td>11110</td> </tr> </tbody> </table>		S1	S2	S3	S4	S5	X1	S1	S3	S3	S2	S1	X2	S3	S4	S1	S3	S5	X3	S2	S1	S1	S1	S4	X4	S5	S1	S2	S5	S2	Вариант (номер по журналу)	Искомая последовательность	Вариант (номер по журналу)	Искомая последовательность	1	00010	11	11110
	S1	S2	S3	S4	S5																																		
X1	S1	S3	S3	S2	S1																																		
X2	S3	S4	S1	S3	S5																																		
X3	S2	S1	S1	S1	S4																																		
X4	S5	S1	S2	S5	S2																																		
Вариант (номер по журналу)	Искомая последовательность	Вариант (номер по журналу)	Искомая последовательность																																				
1	00010	11	11110																																				

Описание шкалы оценивания:

Оценка: 5 («отлично»)

Описание характеристики выполнения знания: Для получения оценки 5 необходимо выполнить все задания

Оценка: 4 («хорошо»)

Описание характеристики выполнения знания: Для получения оценки 4 необходимо выполнить задания №№ 1 и 2

Оценка: 3 («удовлетворительно»)

Описание характеристики выполнения знания: Для получения оценки 3 необходимо выполнить предварительное задание и задание № 1

Оценка: 2 («неудовлетворительно»)

Описание характеристики выполнения знания: Для получения оценки 2 необходимо не выполнить ни одного задания

КМ-6. Проектирование HDL-описания компонента интегральной схемы

Формы реализации: Компьютерное задание

Тип контрольного мероприятия: Индивидуальный проект

Вес контрольного мероприятия в БРС: 25

Процедура проведения контрольного мероприятия: Студент самостоятельно проводит структурное и поведенческое HDL-описание своего модуля из курса "Цифровая схемотехника", формирует тестовый модуль для него, демонстрирует результат моделирования RTL-представления и Gate-level представления.

Краткое содержание задания:

Убедиться в работоспособности схемы, спроектированной в курсе "Цифровая схемотехника". Проведите проектирование HDL-описания и моделирования модуля из курса "Цифровая схемотехника"

Контрольные вопросы/задания:

Запланированные результаты обучения по дисциплине	Вопросы/задания для проверки
Уметь: формировать и моделировать структурное описание схемы	<ol style="list-style-type: none">1.Приведите поведенческое HDL-описание модулей, составляющих устройство.2.Для каждого модуля приведите его модуль тестирования (testbench) с демонстрацией работоспособности модуля и описанием того, на что читатель должен обратить внимание при просмотре временной диаграммы.3.Для полной схемы приведите её модуль тестирования и также продемонстрируйте её работоспособность с описанием того, на что читатель должен обратить внимание при просмотре временной диаграммы.4.Для каждого модуля в пп. 4-5 приведите его RTL-представление и технологическое отображение для ПЛИС семейства Cyclone IV EP4CE6E22C8.5.Приведите результат моделирования для RTL-моделирования и Gate-level-моделирования. Покажите, что оно совпадает с моделированием RTL-уровня.6.Укажите, сколько комбинационной логики и регистров использовано в качестве ресурсов ПЛИС.

Описание шкалы оценивания:

Оценка: 5 («отлично»)

Описание характеристики выполнения знания: Оценка "отлично" выставляется, если задание выполнено в полном объеме или выполнено преимущественно верно. Сдача вовремя - максимальный балл - 5 (приём до 23:59 четверг), к 23:59 воскресенье - максимальный балл - 4, к 23:59 вторник - максимальный балл - 3. Остальное - 2 балла и передача в течение семестра.

Оценка: 4 («хорошо»)

Описание характеристики выполнения знания: Оценка "хорошо" выставляется, если большинство вопросов раскрыто. Выбрано верное направление для решения задач. Сдача вовремя - максимальный балл - 4 (приём до 23:59 четверг), к 23:59 воскресенье - максимальный балл - 4, к 23:59 вторник - максимальный балл - 3. Остальное - 2 балла и передача в течение семестра. Исключение - особенность сложности формирования HDL-описания, определяемая преподавателем.

Оценка: 3 («удовлетворительно»)

Описание характеристики выполнения знания: Оценка "удовлетворительно" выставляется, если задание преимущественно выполнено. Сдача вовремя - максимальный балл - 3 (приём до 23:59 четверг), к 23:59 воскресенья - максимальный балл - 3, к 23:59 вторника - максимальный балл - 3. Остальное - 2 балла и пересдача в течение семестра. Исключение - особенность сложности формирования HDL-описания, определяемая преподавателем.

Оценка: 2 («неудовлетворительно»)

Описание характеристики выполнения знания: Оценка "неудовлетворительно" выставляется, если задание выполнено неверно или преимущественно не выполнено

СОДЕРЖАНИЕ ОЦЕНОЧНЫХ СРЕДСТВ ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ

7 семестр

Форма промежуточной аттестации: Зачет с оценкой

Процедура проведения

Студенту выдаётся билет, в котором указано, разработку какого модуля ему необходимо реализовать демонстрацией его работоспособности.

1. Перечень компетенций/индикаторов и контрольных вопросов проверки результатов освоения дисциплины

1. Компетенция/Индикатор: ИД-1_{ПК-1} Использует средства автоматизации схемотехнического проектирования

Вопросы, задания

1. Напишите модуль дешифратора «из 3 в 8», на который данные поступают синхронно, а также выходят синхронно. Сформируйте ему описание тестового модуля. Проведите моделирование.
2. Напишите модуль шифратора «из 8 в 3», на который данные поступают синхронно, а также выходят синхронно. Сформируйте ему описание тестового модуля. Проведите моделирование.
3. Напишите модуль сумматора 4-разрядных беззнаковых чисел, на который данные поступают синхронно, а также выходят синхронно. Сформируйте ему описание тестового модуля. Проведите моделирование.
4. Напишите модуль компаратора двух чисел. Числа 4-разрядные беззнаковые, поступают синхронно. На выходе компаратора числа сортируются и выходит максимальное значение синхронно. Напишите тестовый модуль и проведите моделирование.
5. Напишите модуль компаратора двух чисел. Числа 4-разрядные беззнаковые, поступают синхронно. На выходе компаратора числа сортируются и выходит минимальное значение синхронно. Напишите тестовый модуль и проведите моделирование.
6. Напишите модуль мультиплексора «из 8 в 1». На информационные и адресные входы данные поступают синхронно. На выходе сигнал появляется также синхронно. Информационные входы 32-битные. Напишите тестовый модуль и проведите моделирование.
7. Напишите модуль демultipлексора «из 1 в 8». На входы данные поступают синхронно. На выходе сигнал появляется также синхронно. Данные на входе 32-битные. Напишите тестовый модуль и проведите моделирование.
8. Напишите модуль управляемого преобразователя 4-битного числа: по сигналу управления число переводится в дополнительный код. На входы и выходы данные поступают синхронно. Напишите тестовый модуль и проведите моделирование.
9. Напишите модуль генератора псевдослучайной последовательности Фибоначчи с заданным начальным значением хранимых в регистре бит. Напишите тестовый модуль и проведите его моделирование.
10. Напишите модуль генератора псевдослучайной последовательности Галуа с заданным начальным значением хранимых в регистре бит. Напишите тестовый модуль и проведите его моделирование.

Материалы для проверки остаточных знаний

1. Множество выходных значений схемы, реализованной на автомате Мили, определяются ...

Ответы:

только множеством текущего состояния автомата

только множеством входных значений

множеством входных значений и текущего состояния автомата

Верный ответ: множеством входных значений и текущего состояния автомата

2. Множество выходных значений схемы, реализованной на автомате Мура, определяются ...

Ответы:

только множеством текущего состояния автомата

только множеством входных значений

множеством входных значений и текущего состояния автомата

Верный ответ: только множеством текущего состояния автомата

3. В комбинационной схеме присутствует элемент памяти?

Ответы:

да

нет

Верный ответ: нет

4. В последовательностной схеме присутствует элемент памяти?

Ответы:

да

нет

Верный ответ: да

5. Полный сумматор в отличие от полусумматора принимает сигнал переноса с предыдущего разряда?

Ответы:

да

нет

Верный ответ: да

6. С увеличением разрядности сумматора с последовательным переносом его быстродействие ...

Ответы:

увеличивается

уменьшается

практически не изменяется

Верный ответ: уменьшается

7. Если при синтезе RTL-представления схемы из её HDL-описания возникают триггеры-"защёлки" (latch) - это говорит о ...

Ответы:

том, что в HDL-описании не учтены все возможные комбинации сигналов

том, что HDL-описание сформировано верно и ошибок нет

Верный ответ: том, что в HDL-описании не учтены все возможные комбинации сигналов

8. Блокирующее присваивание предполагает ... выполнение операций

Ответы:

последовательное

параллельное

Верный ответ: последовательное

9. Неблокирующее присваивание предполагает ... выполнение операций

Ответы:

последовательное

параллельное

Верный ответ: последовательное

10.Блокирующее присваивание в основном применяется в always-блоке описания ...
схем

Ответы:

комбинационных
последовательностных

Верный ответ: комбинационных

11.Неблокирующее присваивание в основном применяется в always-блоке описания ...
схем

Ответы:

комбинационных
последовательностных

Верный ответ: последовательностных

II. Описание шкалы оценивания

Оценка: 5 («отлично»)

Нижний порог выполнения задания в процентах: 70

Описание характеристики выполнения знания: Работа выполнена в рамках "продвинутого" уровня. Ответы даны верно, четко сформулированные особенности практических решений

Оценка: 4 («хорошо»)

Нижний порог выполнения задания в процентах: 60

Описание характеристики выполнения знания: Работа выполнена в рамках "базового" уровня. Большинство ответов даны верно. В части материала есть незначительные недостатки

Оценка: 3 («удовлетворительно»)

Нижний порог выполнения задания в процентах: 50

Описание характеристики выполнения знания: Работа выполнена в рамках "порогового" уровня. Основная часть задания выполнена верно.

Оценка: 2 («неудовлетворительно»)

Описание характеристики выполнения знания: Работа не выполнена или выполнена преимущественно неправильно

III. Правила выставления итоговой оценки по курсу

Согласно действующему Положению о БАРС.